

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT OFFICE
JAPANESE GOVERNMENT



This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application:	November 29, 2000
Application Number:	Patent Application No. 2000-363644
Applicant(s):	YAZAKI CORPORATION

*#2
priority
Chiken
11-1501*

June 11, 2001

Commissioner,
Patent Office Kouzou OIKAWA

Number of Certificate: 2001-3054587

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年11月29日

出 願 番 号
Application Number:

特願2000-363644

出 願 人
Applicant(s):

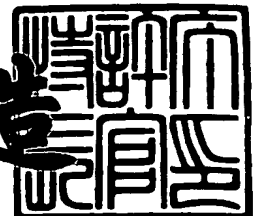
矢崎総業株式会社

#2
Priority
L. Hickson
11/15/01

2001年 6月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3054587

【書類名】 特許願

【整理番号】 YZK-5317

【提出日】 平成12年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00
H02H 3/08

【発明の名称】 半導体スイッチング装置

【請求項の数】 9

【発明者】

【住所又は居所】 静岡県湖西市鷺津 2 4 6 4 - 4 8 矢崎部品株式会社内

【氏名】 大島 俊藏

【特許出願人】

【識別番号】 000006895

【氏名又は名称】 矢崎総業株式会社

【代表者】 矢崎 裕彦

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100087365

【弁理士】

【氏名又は名称】 栗原 彰

【選任した代理人】

【識別番号】 100079946

【弁理士】

【氏名又は名称】 横屋 赳夫

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【先の出願に基づく優先権主張】

【出願番号】 特願2000-222982

【出願日】 平成12年 7月24日

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708734

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体スイッチング装置

【特許請求の範囲】

【請求項 1】 メイン F E T とリファレンス F E T からなるマルチソース F E T と、

前記メイン F E T のソース電位と前記リファレンス F E T のソース電位の大小関係を比較する電圧比較装置と、

前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を上回っているとき前記マルチソース F E T のゲートに駆動電圧を印加し、前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回っているとき前記マルチソース F E T のゲートへの駆動電圧を遮断するゲート駆動回路とを備えた半導体スイッチング装置において、

負荷側の電流が過渡的成分を含めて正常範囲にあるときは、前記リファレンス F E T のソース電位が前記メイン F E T のソース電位を上回らないように前記リファレンス F E T の電流を制御する回路を前記リファレンス F E T のソースと接地間に設置したことを特徴とする半導体スイッチング装置。

【請求項 2】 前記メイン F E T のソース電位と前記リファレンス F E T のソース電位が等しい場合に、前記メイン F E T を流れる電流を前記リファレンス F E T を流れる電流で除した値を n とすると、

前記負荷の定常状態における電流値を n で除した値より大きい電流を流す定常成分用回路と、前記負荷の過渡状態の電流値を n で除した値より大きい電流を流す過渡成分用回路を前記リファレンス F E T のソースと前記接地間に並列に配置したことを特徴とする請求項 1 に記載の半導体スイッチング装置。

【請求項 3】 前記定常成分用回路は固定抵抗または定電流回路で構成したことを特徴とする請求項 2 に記載の半導体スイッチング装置。

【請求項 4】 前記リファレンス F E T を流れる電流の過渡成分は、第 1 の所定時間、一定電流値で通電し、その後リファレンス F E T のソース電位がメイン F E T のソース電位を上回らない範囲で減少し、第 2 の所定時間内にほぼゼロになるように設定することを特徴とする請求項 2 に記載の半導体スイッチング装

置。

【請求項 5】 前記定常成分用回路は前記半導体スイッチング装置がオン状態にあるときは常時作動させ、前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回ったとき、前記リファレンス F E T を流れる電流の過渡成分用回路をスタートさせ、その後の前記第 2 の所定時間内はメイン F E T のソース電位がリファレンス F E T のソース電位を下回っても、リファレンス電流の過渡的成分回路をスタートさせないことを特徴とする請求項 4 に記載の半導体スイッチング装置。

【請求項 6】 前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回り、前記メイン F E T および前記リファレンス F E T がオフ状態に遷移したとき、前記メイン F E T のソース電位の代わりにそれより低い第 1 の電位を用いて前記リファレンス F E T のソース電位と比較し、前記リファレンス F E T のソース電位が前記第 1 の電位を下回ったら、前記メイン F E T および前記リファレンス F E T をオン状態に遷移させ、前記リファレンス F E T のソース電位が上昇して、前記第 1 の電位より大きい第 2 の電位に達するまでは前記メイン F E T のソース電位と前記リファレンス F E T のソース電位の大小関係に関係なく、オン状態を維持し、前記リファレンス F E T のソース電圧が前記第 2 の電位を上回ったら、前記メイン F E T のソース電位と前記リファレンス F E T のソース電位を比較して、前記メイン F E T のソース電位が小さいと前記メイン F E T および前記リファレンス F E T をオフ状態に遷移させることにより、前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回る限り、オン／オフ動作を継続することを特徴とする請求項 1 乃至 5 のいずれか 1 つに記載の半導体スイッチング装置。

【請求項 7】 前期マルチソース F E T がオン／オフ動作を所定の回数繰り返したら、マルチソース F E T を遮断する場合に、前期第 1 の所定時間内にオン／オフ動作して遮断に至るまでの回数を、前期第 2 の所定時間内にオン／オフ動作して遮断に至るまでの回数より少なくしたことを特徴とする請求項 1 乃至 6 のいずれか 1 つに記載の半導体スイッチング装置。

【請求項 8】 前記定常成分用回路のみ、または、前記定常成分用回路及び

過渡成分用回路が動作している場合に、前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回ったとき、前記過渡成分用回路を再スタートさせ、

前記再スタート後、第 3 の所定時間内に前記過渡成分用回路が更に再々スタートするという事象が所定の回数繰り返されたら前記マルチソース F E T を遮断することを特徴とする請求項 4 に記載の半導体スイッチング装置。

【請求項 9】 メイン F E T とリファレンス F E T からなるマルチソース F E T と、

前記メイン F E T のソース電位と前記リファレンス F E T のソース電位の大小関係を比較する電圧比較装置と、

前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を上回っているとき前記マルチソース F E T のゲートに駆動電圧を印加し、前記メイン F E T のソース電位が前記リファレンス F E T のソース電位を下回っているとき前記マルチソース F E T のゲートへの駆動電圧を遮断するゲート駆動回路とを備えた半導体スイッチング装置において、

前記メイン F E T のソース電位と前記リファレンス F E T のソース電位が等しい場合に、前記メイン F E T を流れる電流を前記リファレンス F E T を流れる電流で除した値を n とすると、負荷が正常範囲にあるときの定常状態における電流値を n で除した値より大きい電流を流す定常成分用回路と、前記負荷が正常範囲にあるときの過渡状態の電流値を n で除した値より大きい電流を第 4 の所定時間だけ通電する過渡成分用回路とを前期リファレンス F E T のソースと前記接地間に並列に配置し、前記負荷を流れる電流が急増して前記メイン F E T のソース電位がリファレンス F E T のソース電位を下回ったとき、前記過渡成分をスタートさせるように構成し、前記過渡成分回路がスタート後、第 3 の所定時間内に前記過渡成分回路が再スタートするという事象が所定の回数繰り返されたら前記マルチソース F E T を遮断することを特徴とする半導体スイッチング装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、ランプ負荷やモータ負荷等の突入電流の発生する負荷を流れる電流のスイッチングを行う半導体スイッチング装置に関する。

【 0 0 0 2 】

【従来の技術】

従来の電源供給制御装置に用いる半導体スイッチング装置（電力用半導体装置）としては、自動車においてバッテリーからの電源を選択的に各負荷に供給して、負荷への電力供給をサーマル F E T により制御する装置がある。電源供給制御装置は、出力電圧 V B を供給する電源 V B にシャント抵抗の一端が接続され、その他端にサーマル F E T のドレイン端子が接続されている。さらに、サーマル F E T のソース端子には負荷が接続されている。ここで、負荷としては、自動車のヘッドライトやパワーウィンドウの駆動モータ等々該当する。電源供給制御装置は、さらに、シャント抵抗を流れる電流を検出してハードウェア回路によりサーマル F E T の駆動を制御するドライバと、このドライバでモニタした電流値に基づいてサーマル F E T の駆動信号をオン／オフ制御する A / D 変換器およびマイコン（C P U）とを備えている。

【 0 0 0 3 】

半導体スイッチング装置の主デバイスとして動作するサーマル F E T は、パワーデバイス（主 F E T）、抵抗、温度センサ、ラッチ回路および過熱遮断用 F E T を内蔵しており、サーマル F E T の接合温度が規定以上の温度まで上昇した場合には、内蔵するゲート遮断回路によってサーマル F E T を強制的にオフ制御する過熱遮断機能を備えている。つまり、パワーデバイス（主 F E T）が規定以上の温度まで上昇したことが温度センサによって検出された場合には、その旨の検出情報がラッチ回路に保持され、ゲート遮断回路としての過熱遮断用 F E T がオン動作となることによって、パワーデバイスを強制的にオフ制御する。

【 0 0 0 4 】

また、負荷としてランプ負荷を使用する場合、ランプ負荷に電圧を印可すると定常的に使用している場合の 1 0 倍前後の突入電流が発生する。従来は上記方法に限らず電流を検出する際には、この突入電流をマスクして検出していない。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、上記従来の電源供給制御装置にあっては、電流検出を行うために電力の供給経路に直列接続されるシャント抵抗を必要とした構成であり、近年の負荷の大電流化により、シャント抵抗の熱損失が無視できないという問題点がある。

【0006】

また、上述の過熱遮断機能や過電流制御回路は、負荷や配線にほぼ完全な短絡状態が発生して大電流が流れる場合には機能するが、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生して小さい短絡電流が流れた場合には機能せず、電流のモニタ回路を介してマイコンにより異常電流を検出してサーマル FET をオフ制御するしかなく、このような異常電流に対するマイコン制御による応答性が悪いという事情もあった。

【0007】

また、シャント抵抗や A/D 変換器、マイコン等が必要であるため、大きな実装スペースが必要であり、またこれらの比較的高価な物品により装置コストが高くなってしまいうという問題点もある。

【0008】

ランプ負荷等で発生する突入電流をマスクして検出していないため、過電流の検出が遅れて、スイッチング装置や配線が過剰に発熱する場合があった。

【0009】

本発明の目的は、突入電流が発生していても過電流の検出が可能で、熱損失が小さく、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流に対しても高速応答を可能な半導体スイッチング装置を提供することにある。

【0010】

【課題を解決するための手段】

上記問題点を達成するための本発明の特徴は、メイン電界効果トランジスタ (FET) とリファレンス FET からなるマルチソース FET と、これらメイン FET のソース電位とリファレンス FET のソース電位の大小関係を比較する電圧

比較装置と、メインFETのソース電位がリファレンスFETのソース電位を上回っているときマルチソースFETのゲートに駆動電圧を印可し、メインFETのソース電位がリファレンスFETのソース電位を下回っているときマルチソースFETのゲートに駆動電圧を遮断するゲート駆動回路とを備えた半導体スイッチング装置において、負荷側の電流が過渡的成分を含めて正常範囲にあるときは、リファレンスFETのソース電位がメインFETのソース電位を上回らないようにリファレンスFETの電流を制御する回路をリファレンスFETのソースと接地間に設置した半導体スイッチング装置であることである。このことにより、負荷側の電流に正常範囲を超えた電流が流れると過渡的成分であるなしにかかわらず、その電流遮断が可能であることである。

【0011】

本発明の特徴は、メインFETのソース電位とリファレンスFETのソース電位が等しい場合に、メインFETを流れる電流をリファレンスFETを流れる電流で除した値を n とすると、負荷の定常状態における電流値を n で除した値より大きい電流を流す定常成分用回路と、負荷の過渡状態の電流値を n で除した値より大きい電流を流す過渡成分用回路をリファレンスFETのソースと接地間に並列に配置したことにより一層効果的である。このことにより、正常範囲の上限値を示す電流を過渡的にリファレンスFETに流すことができる。

【0012】

また、本発明の特徴は、リファレンス電流の定常成分回路は固定抵抗または定電流回路で構成したことにより効果的である。固定抵抗を用いることで、容易に定常成分回路を形成することができる。また、定電流回路を用いることで、安定して定常電流を流すことができる。

【0013】

本発明の特徴は、リファレンス電流の過渡成分は第1の所定時間、一定電流値を通電し、その後コンデンサに蓄積された電荷の放電特性で決まる時定数で減少し、第2の所定時間内にほぼゼロになるように設定することにより効果的である。このことにより、正常範囲の上限値を示す電流をばらつきを小さく安定して供給することができる。

【 0 0 1 4 】

本発明の特徴は、リファレンス電流の定常成分回路は半導体スイッチング装置がオン状態にあるときは常時作動させ、メインFETのソース電位がリファレンスFETのソース電位を下回ったとき、リファレンス電流の過渡成分回路をスタートさせ、その後の第2の所要時間内はメインFETのソース電位がリファレンスFETのソース電位を下回っても、リファレンス電流の過渡的成分回路をスタートさせないことにより効果的である。このことにより、まず異常電流を検出してから、最終的に電流を遮断するか否かが決まるまでの時間として、第2の所要時間を確保することができる。

【 0 0 1 5 】

本発明の特徴は、定常成分用回路のみまたは定常成分用回路及び過渡成分用回路が動作している場合にメインFETのソース電位がリファレンスFETのソース電位を下回ったとき過渡成分用回路を再スタートさせ、再スタート後第3の所定時間内に過渡成分用回路が更に再々スタートするという事象が所定の回数繰り返されたらメインFETを遮断することにより一層効果的である。第3の所定時間は異常電流を検出した回数をカウントしながら、最後に検出したときからはじまる次に発生する異常電流を検出可能な時間として設定している。すなわち第3の所定時間内に異常電流が検出されれば回数は積算されるが、第3の所定時間が過ぎても異常電流が検出されなければ、それまでの検出回数はキャンセルされるようにしている。これは連続的に発生する異常電流のみを検出対象にするためである。このことなしに、第2の所定時間内は過渡成分のスタートを禁止してしまうと、複数負荷の上流に本装置をヒューズの役目で使用したときに問題が生じる。すなわち、第1の負荷がオンすることにより過渡成分がスタートして、その後、過渡成分の電流が減少してきたとき、第2の負荷が第2の所定時間内にスタートするとリファレンスの過渡成分は小さくなっているため、メインFETのソース電位がリファレンスFETのソース電位を下回ることが起こりうる。そして、リファレンス過渡成分のスタートが禁止されているので、その時点でメインFETは遮断してしまう。第2の所定時間以下の時間差で2つの負荷がオンしたとき問題が生じるので、この解決策として効果的である。

【 0 0 1 6 】

本発明の特徴は、メインFETのソース電位がリファレンスFETのソース電位を下回り、メインFETおよびリファレンスFETがオフ状態に遷移したとき、メインFETのソース電位の代わりにそれより低い第1の電位を用いてリファレンスFETのソース電位と比較し、リファレンスFETのソース電位が第1の電位を下回ったら、メインFETおよびリファレンスFETをオン状態に遷移させ、リファレンスFETのソース電位が上昇して、第1の電位より大きい第2の電位に達するまではメインFETのソース電位とリファレンスFETのソース電位の大小関係に関係なく、オン状態を維持し、リファレンスFETのソース電圧が第2の電位を上回ったら、メインFETのソース電位とリファレンスFETのソース電位を比較して、前者が後者を下回ったらメインFETおよびリファレンスFETをオフ状態に遷移させることにより、メインFETのソース電位がリファレンスFETのソース電位を下回る限り、オン／オフ動作を継続することにより効果的である。

【 0 0 1 7 】

本発明の特徴は、メインFETおよびリファレンスFETがオン／オフ動作を所定の回数繰り返したら、FETを遮断する場合に第1の所定時間内にオン／オフ動作したときのFET遮断に至るまでの回数をその後の第2の所定時間内にオン／オフ動作したときFET遮断に至るまでの回数より短くしたことにより一層効果的である。

【 0 0 1 8 】

本発明の特徴は、メインFETとリファレンスFETからなるマルチソースFETと、このメインFETのソース電位とこのリファレンスFETのソース電位の大小関係を比較する電圧比較装置と、メインFETのソース電位がリファレンスFETのソース電位を上回っているときマルチソースFETのゲートに駆動電圧を印加しメインFETのソース電位がリファレンスFETのソース電位を下回っているときマルチソースFETのゲートへの駆動電圧を遮断するゲート駆動回路とを備えた半導体スイッチング装置において、メインFETのソース電位とリファレンスFETのソース電位が等しい場合にメインFETを流れる電流をリフ

ァレンス F E T を流れる電流で除した値を n とすると負荷が正常範囲にあるときの定常状態における電流値を n で除した値より大きい電流を流す定常成分用回路と、前記負荷が正常範囲にあるときの過渡状態の電流値を n で除した値より大きい電流を第 4 の所定時間だけ通電する過渡成分用回路とを前期リファレンス F E T のソースと前記接地間に並列に配置し、前記負荷を流れる電流が急増して前記メイン F E T のソース電位がリファレンス F E T のソース電位を下回ったとき、前記過渡成分をスタートさせるように構成し、前記過渡成分回路がスタート後、第 3 の所定時間内に前記過渡成分回路が再スタートするという事象が所定の回数繰り返されたら前記マルチソース F E T を遮断する半導体スイッチング装置であってもよい。ここで、過渡成分電流は一定電流であっても良いし、負荷電流の過渡的成分に類似した波形の電流であっても良い。第 4 の所定時間経過後、レファレンス F E T の過渡成分電流が無くなり、定常成分のみとなるが、このときまだ、負荷側に過渡成分電流が流れていても良い。このことにより、そのときはレファレンスの過渡成分が再スタートするので、F E T は遮断されることはない。第 4 の所定時間が負荷側の過渡成分継続時間より短い場合は、レファレンス側の過渡成分回路が複数回スタートすることになるが、F E T 遮断に至る過渡成分スタート回数をこれより大きく設定しておけば、正常負荷の過渡電流成分で F E T が遮断することはなく、異常発生時のみ F E T を遮断する保護機能を実現できる。

【 0 0 1 9 】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態と実施例において本発明に係る半導体スイッチング装置を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

【 0 0 2 0 】

図 1 は、本発明の実施形態に係る電流振動型遮断機能付き半導体スイッチング装置のブロック図である。

【 0 0 2 1 】

この半導体スイッチング装置 1 は、出力電圧 V_B を供給する電源 V_B と負荷 10 との間に接続されて動作する。回路 1 では、主デバイス（パワーデバイス）

としてマルチソース・電界効果トランジスタ (FET) Tr 5 を用いている。なお、マルチソース FET (Tr 5) は過熱遮断回路 9 を近傍に配置しているが、後述の説明から理解できるように、一定の場合は過熱遮断回路 9 は必須ではない。マルチソース FET (Tr 5) は、メイン FET (QA) とリファレンス FET (QB) とを有し、QA と QB のゲート電極は接続され、互いのドレイン電極も接続され電源 VB に接続される。QA のソース電極は負荷 10 と比較器 CMP 1 の “+” 入力端子に接続され、QB のソース電極は比較器 CMP 1 の “-” 入力端子に接続される。

【0022】

このマルチソース FET (Tr 5) としては、例えば、DMOS 構造、VMO S 構造、或いは UMOS 構造のパワー MOS FET や、FET に代えてこれらと類似な構造の MOSSIT が使用可能である。また、EST や MCT 等の MOS 複合型デバイスや IGBT 等の他の絶縁ゲート型パワーデバイスが使用可能である。更に、常にゲートを逆バイアスで使うのであれば、接合型 FET、接合型 SIT や SI サイリスタ等も使用可能である。この Tr 5 は n チャネル型でも p チャネル型でもかまわない。

【0023】

半導体スイッチング装置 1 は、マルチソース FET (Tr 5) と、QA と QB のソース電極の電圧を比較する比較手段 (CMP 1) と、この比較手段 (CMP 1) の出力に応じて、Tr 5 のゲート電極に制御電圧を供給するドライバー 8 とを少なくとも具備している。

【0024】

この QA は、例えば、複数個のユニットセル (単位セル) が並列接続されたマルチ・チャネル構造のパワーデバイスを採用すればよい。そして、この QA に並列接続されるように、QB が QA に隣接する位置に配置されている。QB が QA と同一プロセスで隣接位置に配置されているので、温度ドリフトやロット間の不均一性の影響による互いの電気的特性のバラツキを除去できる。QB の電流容量が QA の電流容量よりも小さくなるように、QB を構成する並列接続のユニットセル数を調整している。例えば、QB のユニットセル数 1 に対して、QA のユニ

ットセル数を1000となるように構成することにより、Q BとQ Aのチャネル幅Wの比を1 : 1000としている。この比は、Q Aのソース電位とQ Bのソース電位が等しい場合に、Q Bを流れる電流とQ Aを流れる電流の比に等しくなる。このようにQ Bを流れる電流を小さくできる。

【0025】

また、過熱遮断回路9に接続するダイオードは温度センサとして機能する。このダイオードはQ B及びQ Aの上部に形成された層間絶縁膜の上部に堆積されたポリシリコン薄膜等で形成され、複数のダイオードが直列接続されている。Q Aの温度が上昇するにつれて複数個直列接続されたダイオードの両端の電圧降下により過熱を検出する。

【0026】

電流振動型遮断機能付き半導体スイッチング装置1は、より具体的には、Tr 5と比較器CMP 1と過熱遮断回路9の他にも、CMP 1の“+”入力端子の電圧（ダミー電圧）を制御するダミー電圧発生回路2と、CMP 1の出力信号のHからLへの立ち下がりの回数を数えるパルスカウンタ4と、カウンタ4のカウント時間を規定するタイマ3と、カウンタ4で所定の回数を数えた後に出力される遮断信号を保持する遮断信号保持回路5と、スイッチSW 1のオン信号である外部入力信号のチャタリングを防止するチャタリング防止回路6と、コレクタ側が電位V Pに接続されたソーストランジスタと、エミッタ側が接地電位（GND）に接続されたシンクトランジスタとを直列接続して備え、スイッチSW 1のオン／オフ切換えによる切換え信号等に基づき、ソーストランジスタおよびシンクトランジスタをオン・オフ制御して、Tr 5のゲート電極に制御信号を出力するドライバ8と、電位V Pにまで昇圧するチャージポンプ7と、ランプ負荷に発生する突入電流が過電流か否か判定するためのリファレンス電流の過渡的電流成分を発生させる過渡的電流成分発生回路11とを有している。そして、スイッチング装置1は、同一半導体基板（半導体チップ）上にモノリシックに搭載されている。抵抗R 6とコンデンサーC 1は、チップの外部に外付けされる。外付けにすることでそれぞれの抵抗値と容量値の変更が容易になり、リファレンス電流の波形を突入電流の波形に対してトレースさせることができる。

【 0 0 2 7 】

(第 1 の実施の形態)

電流振動型遮断機能付き半導体スイッチング装置 1 は、より具体的には、図 2 に示すような回路で構成されている。

【 0 0 2 8 】

ダミー電圧発生回路 2 は、抵抗 R_1 、 R_2 、 R_4 と、ダイオード D_1 、 D_2 とで構成できる。なお、抵抗 R_1 等に添えられた数字は単位が Ω の抵抗値を表している。同様にコンデンサ C_1 に添えられた数字は単位が F の容量値を表している。タイマ 3 では、入力端子 1 にスタートの信号が入ると 20 m 秒と 200 m 秒を計る 2 つのタイマが同時にスタートする。出力端子 2 では、スタートから 20 m 秒を計り終えるまで H レベルを出力する。出力端子 3 では、スタートから 200 m 秒を計り終えるまで H レベルを出力する。これは、インバータ INV_1 によって 200 m s タイマの出力が反転して AND_3 の入力端子に入力されているからである。カウンタ 4 では、リセット端子に信号が入るとカウントはクリアされる。CMP 1 に接続される入力端子に入力される H から L への信号の回数を数え、回数が 8 回の時に 8 パルスの出力端子から H レベルを出力する。また、回数が 32 回の時に 32 パルスの出力端子から H レベルを出力する。遮断信号保持回路 5 は D フリップフロップ 12 を有している。端子 D は H レベルに接続され、端子 T に OR 回路から H レベルが入力されるとその H レベルが消えても、リセット端子にリセット信号が入力されるまで、出力端子からは H レベルが出力され続ける。過渡的電流成分発生回路 11 は、トランジスタ Tr_1 乃至 4 と、抵抗 R_7 乃至 10 と、コンデンサ C_1 とで構成できる。更に半導体チップの外部には、スイッチ SW_1 があり更に SW_2 を備えている場合もある。そして、この電流振動型遮断機能付きスイッチング・デバイスは、ユーザ等がスイッチ SW_1 と SW_2 をオンさせることにより機能する。電源 V_B の出力電圧 V_B は、例えば 12.5 V で、チャージポンプ 7 の出力電圧 V_P は、例えば $V_B + 10 V$ である。Q B のソース電極にはいわゆる基準抵抗 R_r の定常成分 R_{rc} となる R_6 が接続されている。基準抵抗 R_{rc} の抵抗値は、Q B と Q A のチャネル幅 W の比に応じて選定すればよい。例えば、上述したように、Q B と Q A のチャネル幅 W の比を 1 : 10

00とした場合は、負荷の抵抗値の $1/1000$ を超える値となるように設定しておけばよい。この基準抵抗 R_{rc} の設定により、QAに正常動作の負荷電流を超える過電流が流れたときと同じドレインソース間電圧 V_{DS} をQBに発生させることができる。

【0029】

半導体スイッチング装置1は、メイン電界効果トランジスタ(FET:QA)とリファレンスFET(QB)からなるマルチソースFETのTr5と、QAのソース電位 V_{SA} とQBのソース電位 V_{SB} の大小関係を比較する電圧比較装置CMP1と、QAのソース電位 V_{SA} がQBのソース電位 V_{SB} を上回っているときTr5のゲートに駆動電圧を印加し、QAのソース電位 V_{SA} がQBのソース電位 V_{SB} を下回っているときTr5のゲートへの駆動電圧を遮断するゲート駆動回路となるドライバ8とを備えている。そして、負荷10側の電流IDが過渡的成分を含めて正常範囲にあるときは、QBのソース電位 V_{SB} がQAのソース電位 V_{SA} を上回らないようにQBの電流 I_{ref} を制御する過渡的電流成分発生回路をQBのソースと接地間に設置している。

【0030】

この過渡的電流成分発生回路は、QAのソース電位 V_{SA} とQBのソース電位 V_{SB} が等しい場合に電流IDを電流 I_{ref} で除した値をnとすると、負荷10の定常状態における電流IDの値をnで除した値より大きい電流を流す定常成分(I_{refc})用回路と、負荷10の過渡状態の電流IDの値をnで除した値より大きい電流を流す過渡成分($I_{ref t}$)用回路とを、QBのソースと接地間に並列に配置してなる。

【0031】

次に、本発明の実施形態に係る電流振動型遮断機能付き半導体スイッチング装置1の動作について説明する。 $V_{SA}=V_{SB}$ であれば、 $ID(QAのドレイン電流)=n \times I_{ref}$ 、 $RL \times n = R_r$ となる。ここで、 V_{SA} はQAのソース電位、 V_{SB} はQBのソース電位、IDはQAのドレイン電流、nはカレント・センシング・レシオ、 I_{ref} はQBのドレイン電流、 RL はQAとGND間に接続する負荷の抵抗(値)、 R_r はQBとGND間に接続するReferenceの抵抗

(値)である。

【0032】

従って、 $V_{SA} > V_{SB}$ であれば、 $I_D < n \times I_{ref}$ 、 $R_L \times n > R_r$ となり、 $V_{SA} < V_{SB}$ であれば、 $I_D > n \times I_{ref}$ 、 $R_L \times n < R_r$ となる。このため I_{ref} または R_r を基準値として設定しておけば、負荷側電流値または負荷抵抗値が基準値に比べて大きい小さいかを V_{SA} と V_{SB} の大小関係で判定することが出来る。

【0033】

I_{ref} または R_r を過電流または過負荷に相当する値に設定しておけば、 $V_{SB} < V_{SA}$ であれば、正常状態、 $V_{SB} > V_{SA}$ であれば過電流または過負荷状態と判定できる。過電流または過負荷状態と判定したときは Q_A 、 Q_B をオフする。すなわち、ゲート直列抵抗を介して Q_A 、 Q_B のゲートに印加していたチャージポンプ電圧 V_p を遮断し、ゲート直列抵抗を介して Q_A 、 Q_B のゲートを接地する。

【0034】

なお、負荷電流 I_D または負荷抵抗 R_L は一般に一定値ではない。スイッチオン直後の突入電流のように過渡的に発生する成分とその後の安定した状態における定常的な成分とからなる。基準電流 I_{ref} または基準抵抗 R_r も負荷側に合わせて過渡的な成分と定常的な成分を合成した値に設定する。すなわち、 I_{ref} または R_r は一定ではなく、その値を時間的に変化させる。すなわち、(a) 負荷側が正常なときに発生する I_D または R_L の値に対して $I_D < n \times I_{ref}$ または $R_L \times n > R_r$ となるように設定し、(b) その差は極力小さくなるように設定する。

【0035】

I_{ref} または R_r の定常成分 (I_{refc} 、 R_{rc}) は抵抗 R_6 で設定する。もし、負荷電流の定常成分が電源電圧に依存しない場合には I_{ref} の定常電流成分 I_{refc} は R_6 のような抵抗ではなく、定電流回路を用いて設定する。

【0036】

一方、過渡的成分は図2の $Tr1 \sim Tr4$ 、 $R7 \sim R10$ 、およびコンデンサ

C1で設定する。過渡的成分の設定を開始するタイミングは次の2通りがある。

(c) 入力信号SW1による入力信号に同期して過渡的成分の設定を開始するタイミングと、(d) 入力信号SW1に関係なく、負荷変動により過渡的成分の設定を開始するタイミングである。

【0037】

(c) は容易に理解できるから、ここでは(d)について説明する。(d)ではQAの下流(負荷側)にSW2が必要になる。SW1がオンし、SW2がオフしているとする。この状態ではQA、QBはオンしているが、SW2がオフしているため負荷電流は流れない。一方IrefcはR6を介して常に流れるから、 $I_{ref} \times n > I_D (=0)$ となり、 $V_{SA} > V_{SB}$ となって、CMP1の出力はHになる。タイマおよびカウンタは入力立ち下がりで作動するようになっているので、この状態ではタイマおよびカウンタは動作しない。タイマは入力立ち下がると作動開始し、20ms間Hレベルになる出力と200ms間Hレベルになる2つの出力を持つ。タイマは一旦作動すると200ms出力、INV1、AND3により200ms間は入力を受け付けなくなっている。タイマ20ms出力がLであるとTr2、Tr3(PMOS)はオフになり、コンデンサC1の電荷はTr4のベース電流により放電され、Tr1のゲート電位はゼロ電位となり、Tr1はオフになり、IrefはR6を流れる電流Irefcのみとなる。この状態でSW2がオンするとメインFETQAを通して負荷電流が流れる。この負荷電流がIrefc×nより大きくなると $V_{SA} < V_{SB}$ となり、CMP1の出力はHレベルからLレベルになる。タイマおよびカウンタが動作し、タイマの20ms出力がHレベルになる。Tr2がオンし、次にTr3がオンすると、R9を介して電流が流れ、C1がほぼ電源電圧VB近くまで充電される。そして、Tr1のゲート電圧が電源電圧近くまで持ち上げられ、R7にIrefの過渡的成分Iref tが流れる。その大きさは式1で表される。

【0038】

$$I_{ref t} = (V_B - V_{th}) / R_7 \quad \cdots \text{式1}$$

ここで、VthはTr1のスレッシュホールド電圧である。タイマの20ms出力がHの間は、Tr2、Tr3はオン状態を維持し、上記式1で表される一定のI

$I_{ref t}$ と $I_{ref c}$ が流れる。このとき、 $I_{ref} \times n = (I_{ref t} + I_{ref c}) \times n > I_D$ (過渡成分を含む) となるように $I_{ref t}$ を設定しておく
と $V_{SB} < V_{SA}$ となる。タイマ20ms出力がLになると Tr_2 、 Tr_3 がオフし、コンデンサ C_1 の電荷はNPNトランジスタ Tr_4 のベース電流となって放電する。放電時定数は Tr_4 の電流増幅率を $h_{fe4} = 200$ とすると式2で表される。

【0039】

$$\begin{aligned} Tr_1 \text{ ゲート電位の減少時定数} &= C_1 \times R_8 \times h_{fe4} \\ &= 0.1 \times 10^{-6} \times 3 \times 10^3 \times 200 = 60 \text{ ms} \quad \dots \text{式 2} \end{aligned}$$

Tr_1 のゲート電位の減少に連れて、 $I_{ref t}$ は減少する。 $I_{ref t}$ がほぼゼロまで減少する間はタイマに再入力するのを禁止する必要がある、図2ではそのために200msのタイマを設けている。定常成分用回路は固定抵抗 R_6 で構成しているが、これに限らず定電流回路であってもよい。

【0040】

一方、過渡成分 $I_{ref t}$ は、20msタイマがオン状態を維持する第1の所定時間、式1で表される一定電流値を示し、その後ソース電位 V_{SB} がソース電位 V_{SA} を上回らない範囲で減少し、200msタイマがオン状態を維持する第2の所定時間内にほぼゼロになるように設定されている。

【0041】

定常成分用回路は、 Tr_5 がオン状態すなわち半導体スイッチング装置1がオン状態にあるときは常時作動し定常成分 $I_{ref c}$ を流し続ける。

【0042】

V_{SA} が V_{SB} を下回ったとき、過渡成分用回路をスタートさせ、過渡成分 $I_{ref t}$ を流す。その後の200msタイマがオン状態を維持する第2の所要時間内は、 V_{SA} が V_{SB} を下回っても、過渡的成分回路を再スタートさせない。

【0043】

次に、ダミー電圧回路2も含めた装置1の動作について説明する。抵抗 $R_1 \sim R_4$ 、ダイオード D_1 、 D_2 からなる回路がダミー電圧発生回路である。 Q_A が完全にオンしているときは V_{SA} が電源電圧 V_B 近くまで上昇し、ゲート駆動回

路のドライバー出力も V_p まで上昇しているので、 D_1 、 D_2 が逆バイアスされ、ダミー電圧回路は周囲の回路から切り離されるので、何の影響も与えない。しかし、一旦 CMP_1 の出力が L になり、ゲートドライバーが AND_2 によりオフになると R_4 はドライバーのシンクトランジスタを介して GND に接地されるため、電源電圧 $V_B \rightarrow R_1 \rightarrow B \text{ 点} \rightarrow D_1 \rightarrow A \text{ 点} \rightarrow D_2 \rightarrow R_4 \rightarrow \text{ドライバーシンクトランジスタ} \rightarrow GND$ の経路で電流が流れ、 A 点の電位は低下する。このとき、 R_3 を通しての電流の出入りは無いという条件の下で、 A 点の電位を計算する。 R_1 から R_2 に至る回路について式 3 で表せ、 R_1 から B 点と A 点と経て R_4 に至る回路について式 4 で表せる。

【0044】

$$10K(I_1 + I_2) + 24K \times I_2 = 12.5(V) \quad \dots \text{式 3}$$

$$10K(I_1 + I_2) + 3.3K \times I_1 + 0.6 \times 2 = 12.5(V) \quad \dots \text{式 4}$$

式 3 と式 4 より、 $I_1 = 0.736A$ と $I_2 = 0.151A$ と求まる。これより、 A 点の電位は式 5 のように求まる。一方、 $I_1 = 0$ のとき B 点の電位は式 6 のように求まる。

【0045】

$$(A \text{ 点の電位}) = 3.03V \quad \dots \text{式 5}$$

$$(B \text{ 点の電位} : I_1 = 0) = 8.82V \quad \dots \text{式 6}$$

図 1 の回路では A 点の電位は抵抗 R_3 を通って出入りする電流があるので式 5 の値とは異なるが、抵抗 R_3 を流れる電流がゼロ、すなわち A 点の電位 $= V_{SA}$ のときは $3.03V$ となる。 A 点の電位が V_{SA} より小さいときは式 7 となる。

【0046】

$$A \text{ 点電位} = V_{SA} - (R_3 \text{ 電圧降下}) \quad \dots \text{式 7}$$

すなわち、一旦 Q_A がオフすると、 CMP_1 の + 入力端子には V_{SA} より低い電位が入力される。そのため、 V_{SA} が少しくらい変動しても、その変動幅が R_3 電圧降下より小さければ CMP_1 は安定して L を維持することになる。 Q_A がオフを続けると V_{SA} は GND に向かって低下し、 Q_A のゲート電位も低下する。 Q_B のゲートは Q_A のゲートに直結しているので、 V_{SA} の低下につれて、 V_{SB} も低下する。 V_{SA} の低下に連れて A 点の電位は若干低下するが、その低下

量は僅かである。

【0047】

一方、 V_{SB} は V_{SA} の低下に連動して低下し続ける。 $CMP1$ の+端子電圧にはA点の電位が供給され、-端子には V_{SB} の電位が供給されるので、やがて $CMP1$ +端子電位 $>$ $CMP1$ -端子電位となり、 $CMP1$ の出力は $L \rightarrow H$ に反転する。この反転は負荷側の状態に関係なく、すなわち $V_{SA} < V_{SB}$ であっても発生する。これにより、ゲートドライバーは再びオンとなり、 Q_A 、 Q_B がオンし、 V_{SA} および V_{SB} は上昇に転じる。ゲートドライバー出力が $0V \rightarrow V_p$ に上昇するので $D2$ が逆バイアスされ、A点の電位は V_{SA} の上昇に連れて上昇する。そのときA点の電位 $>$ V_{SA} の関係にある。この状態はA点の電位がB点電位（電源電圧 V_B を $R1$ と $R2$ で分圧した電位）になるまで続く。このときのB点の電位は電源電圧 V_B を $R1$ と $R2$ で分圧した電圧となり、式6の8.82Vとなる。

【0048】

以上をまとめればダミー電圧回路は V_{SB} が式5で表されるダミー電圧 L 以下になると強制的に Q_A 、 Q_B をオンさせ、 V_{SB} が式6で表されるダミー電圧 H 以上になるまでは負荷側の状態に無関係に Q_A 、 Q_B のオンを維持するという役割を果たす。 V_{SB} が式6の値を上回ると V_{SA} と V_{SB} の大小関係で Q_A 、 Q_B のオン／オフは決定される。

【0049】

なお、過渡的成分（ $I_{ref t}$ または R_{rt} ）の設定を開始するタイミングを（d）の方法で行うと本スイッチングデバイスをヒューズの代わりに使用することが可能になる。ヒューズの代わりに使用する場合は $SW1$ がオン状態にセットされ、負荷のオン／オフは $SW2$ で制御され、そのオン／オフ信号は本スイッチングデバイスに入力されない。負荷電流の変化で過渡的成分の設定を開始する必要があるが、（d）の方式はこの要件を満足する。また、通常のスイッチングデバイスとして $SW1$ で本デバイスをオン／オフするような使用方法であっても、過渡的成分の設定開始を問題なく実施できる。

【0050】

一方、タイマの20ms出力がHになり、 $I_{ref t}$ が設定され、 $V_{SA} > V_{SB}$ となると、一旦オフしたQA、QBがダミー電圧により再度オンされた後は負荷側回路が正常であれば、別な言い方をすれば配線ショート等が発生していなければ、QA、QBはオンを続ける。

【0051】

ダミー電圧発生回路2においては、 V_{SA} が V_{SB} を下回り、QAおよびQBがオフ状態に遷移したとき、 V_{SA} の代わりにそれより低いダミー電圧Lレベルとなる5式のA点電位を用いて V_{SB} と比較し、 V_{SB} がダミー電圧Lレベルを下回ったら、QAおよびQBをオン状態に遷移させる。

【0052】

V_{SB} が上昇して、ダミー電圧Lレベルより大きいダミー電圧Hレベルとなる6式のB点電位に達するまでは V_{SA} と V_{SB} の大小関係に関係なく、QAおよびQBをオン状態を維持し、 V_{SB} がダミー電圧Hレベルを上回ったら、 V_{SA} と V_{SB} を比較して、 V_{SA} が小さいとQAおよびQBをオフ状態に遷移させる。

【0053】

これらのことにより、 V_{SA} が V_{SB} を下回る限り、オン／オフ動作を継続する。

【0054】

QAおよびQBがオン／オフ動作を所定の回数繰り返したら、マルチソースFET Tr5を遮断する。遮断には、2つの場合があり、20msタイマの第1の所定時間内に8回オン／オフ動作した場合と、200msタイマの第2の所定時間内に32回オン／オフ動作した場合である。

【0055】

タイマーの20ms出力がHになっている間に過電流状態 $I_{ref} \times n < I_D$ 、または過負荷状態 $R_r > R_L \times n$ となった場合はCMP1がオン／オフを8回繰り返した時点でQA、QBを遮断する。また、タイマーの20ms出力がLで、200ms出力がHの間に過電流または過負荷状態になった場合はCMP1がオン／オフを32回繰り返した時点でQA、QBを遮断する。前者はデッドショ

ートのような状態で、この場合はオン／オフ動作によるQAの発熱が大きいので、出来るだけ短時間に遮断する。後者の場合は過電流値が前者に比べて小さく、QAの発熱は少なくなるので、十分に確認することを優先させて、32回としている。しかし、より好ましくは32回を8回程度まで減少させ8回程度に統一することである。

【0056】

【実施例1】

実施例1では、正常なランプ負荷を使用した場合の本発明に係るスイッチング装置1の動作について説明する。ランプは、遮断機能が働くことなく、点灯し、そして、点灯し続ける場合である。ランプ負荷10には21Wのバルブ2灯を並列に接続したものをを用いた。図3は、バルブ点灯時のスイッチング回路の信号波形を示すグラフである。横軸は時間で1目盛りが50m秒である。縦軸には、Tr5のメインFET(QA)のソース電位(VSA)と、タイマ3のスタートから200m秒を計り終えるまで出力端子3で出力される200m秒のタイマ出力とを表す電圧と、QAのドレイン電流IDと、Tr5のリファレンスFET(QB)のドレイン電流Irefとを示している。縦軸の単位は、グラフ中のVSA、ID、Irefそれぞれの右側に示している。VSAの縦軸は、(2V/div、6V)と表され、1目盛りが2Vで、全8目盛り中の4目盛り目の電圧が6Vである。同様にIDとn×Irefの縦軸は、(10A/div、30V)と表され、1目盛りが10Aで、全8目盛り中の4目盛り目の電流が30Aである。以下のグラフでも縦軸は同様な表記法で表している。

【0057】

タイマ出力は、時間軸1目盛り目でオンし、オンから180m秒後にオフしている。IDは、タイマ出力のオンと同時に流れ始める。流れはじめの電流値は30Aに達するが、その後減少し、タイマ出力がオフになる前までには4Aで一定値になる。IDがランプ負荷を流れる電流で、電流の流れはじめてからランプは点灯する。電流値が4Aの時はランプが正常に連続点灯している。この電流4AがIDの定常成分であり、電流を流し始めた時の電流4Aを超える電流値から電流4A分を引いた分が過渡成分である。n×Irefは、タイマ出力がオンになる

前から定常成分 $n \times I_{refc}$ の 5 A が流れている。そして、タイマ出力のオンと同時に過渡成分 $n \times I_{ref t}$ が流れ始める。この流れははじめの電流値は 40 A に達するが、その後減少し、タイマ出力がオフになる前までには過渡成分 $n \times I_{ref t}$ は無くなり定常成分 $n \times I_{refc}$ の 5 A のみの一定値になる。ID の電流値はどの時間においても $n \times I_{ref}$ より小さくなっている。このことにより、VSA は VSB よりどの時間においても大きくなり過剰電流が発生していないと判断できる。VSA は、タイマ出力のオンと同時に電圧が高くなり、ランプ負荷 10 に 12 V を超える電圧が印可される。 $n \times I_{ref} > I_D$ なので FE T はオンを続ける。

【0058】

図4におけるVSA、ID、 $n \times I_{ref}$ の波形は、図3のそれらと同じ波形である。20 ms タイマとの関係を示しており、横軸の時間軸を5倍に拡大している。これより、20 ms タイマの信号がオンしてからオフするまで $n \times I_{ref}$ は 40 A 程度の値に固定されており、オフした後に減少することがわかる。

【0059】

図5におけるVSA、ID、 $n \times I_{ref}$ の波形も、図3及び図4のそれらと同じ波形である。スイッチSW1をオンにする際に発生するSW1等によるドライバ8の入力信号のオン信号との関係を示しており、図4の横軸の時間軸をさらに100倍に拡大している。これより、チャージポンプの立ち上がり遅れによって、SW1入力信号のオンからID等の立ち上がりまでに約80 μ 秒の遅れがある。

【0060】

図6におけるVSA、ID、 $n \times I_{ref}$ 、ゲート駆動信号の波形は、図5のそれらと同じ波形である。図5のVSA、ID、 $n \times I_{ref}$ の波形の立ち上がりの時間を図5の10倍に拡大している。これより、時間3目盛り半過ぎでIDが $n \times I_{ref}$ より大きくなっている。この逆転により、ゲート駆動信号はオフし、増加していたVSAは減少に転じる。そして、VSAが減少してダミー電圧のLレベル以下になると、入力信号は再びオンし、VSA、ID、 $n \times I_{ref}$ も上昇する。

【 0 0 6 1 】

【実施例 2】

実施例 2 では、正常なランプ負荷を点灯しているときに、さらにランプ負荷を追加して過負荷の状態が発生した場合の本発明に係るスイッチング装置 1 の動作について説明する。ランプが点灯しているところに、さらに別のランプを点灯させようとする、遮断機能が働き、ランプがすべて消灯される。最初から点灯しているランプ負荷には 21W のバルブ 2 灯を並列に接続したものをを用いた。過負荷用の追加するランプ負荷には 21W のバルブ 1 灯を使用し点灯している 2 灯に並列接続した。図 7 は、バルブ点灯時に過負荷を追加し遮断されるまでのスイッチング回路の信号波形を示すグラフである。横軸は時間で 1 目盛りが 20ms である。縦軸には、VSA と、ドライバ 8 への入力信号と、ID と、 $n \times I_{ref}$ とを示している。 $n \times I_{ref}$ が立ち下がってきたとき、 $n \times I_{ref} < ID$ となり、QA が遮断している。

【 0 0 6 2 】

図 8 における VSA、ID、 $n \times I_{ref}$ 、入力信号の波形は、図 7 のそれらと同じ波形である。図 7 の VSA、ID、 $n \times I_{ref}$ の波形の立ち上がりの時間を図 7 の 2000 倍に拡大している。それぞれの波形は図 6 と同様に推移する。時間 4 目盛り半過ぎで ID が $n \times I_{ref}$ より大きくなっている。この逆転により、ゲート駆動信号はオフし、VSA は減少し始める。そして、VSA が減少してダミー電圧の L レベル以下になると、ゲート駆動信号は再びオンし、VSA、ID、 $n \times I_{ref}$ も上昇する。このことにより追加した 1 灯を含め 3 灯が点灯する。

【 0 0 6 3 】

図 9 における VSA、ID、 $n \times I_{ref}$ 、入力信号の波形は、図 7 のそれらと同じ波形である。図 7 の VSA、ID、 $n \times I_{ref}$ の波形の立ち下がり遮断される時間を図 7 の 400 倍に拡大している。時間 4 分の 1 目盛り手前で ID が $n \times I_{ref}$ よりわずかに大きくなっている。この逆転により、入力信号はオフし、VSA は減少する。この減少をパルスカウンタ 4 はカウントする。VSA が減少してダミー電圧の L レベル以下になると、入力信号は再びオンし、VSA、

I_D 、 $n \times I_{ref}$ も上昇する。 VSA が増加してダミー電圧のHレベル以上になると、入力信号は再びオフし、 VSA 、 I_D 、 $n \times I_{ref}$ も減少する。このように波形は振動し、 VSA が32回目に減少するときに入力信号はオフに固定され、 VSA と I_D は出力しなくなる。このことにより追加した1灯を含め3灯が消灯する。過電流発生から電流遮断までに要した時間は450 μ 秒であった。

【0064】

図10における VSA 、入力信号の波形は、図9のそれらと同じ波形である。図9の VSA 、入力信号の波形の立ち下がり遮断される時間を図9の5倍に拡大している。A点の電圧はダミー電圧である。A点の電圧は、7Vから8V前後のHレベルと、3Vから4V前後のLレベルを有していることが分かる。 VSA はLレベルからHレベルへ、HレベルからLレベルへと振動する。

【0065】

【実施例3】

実施例3では、過負荷となるランプ負荷を使用した場合の本発明に係るスイッチング装置1の動作について説明する。ランプは、遮断機能が働いて点灯しない。ランプ負荷10には21Wのバルブ3灯を並列に接続したものをを用いた。装置1においては2灯では過負荷ではなく3灯で過負荷になるように $n \times I_{ref}$ を設定している。図11は、ドライバの入力信号オンから、遮断されるまでのスイッチング回路の信号波形を示すグラフである。横軸は時間で1目盛りが100 μ 秒である。縦軸には、 VSA と、入力信号と、 I_D と、 $n \times I_{ref}$ とを示している。8回オン／オフを繰り返した時点でQAが遮断されている。1回毎に、 I_D と $n \times I_{ref}$ が大きくなる過程で、 $n \times I_{ref}$ より小さかった I_D が、35A付近で $n \times I_{ref}$ より大きくなっている。この反転により、 VSA は増加から減少に転じている。 VSA が減少してダミー電圧のLレベル以下になると入力信号はオンし、 VSA は再び増加する。このようにして VSA は振動する。

【0066】

(第2の実施の形態)

電流振動型遮断機能付き半導体スイッチング装置1は、図12に示すような回路で構成することもできる。

【 0 0 6 7 】

ダミー電圧発生回路 2 と、タイマ 3 と、D フリップフロップ 1 2 は、図 2 の第 1 の実施の形態と同じである。パルスカウンタ 4 が図 2 とは異なり、4 パルスカウンタ 1 4 を用いる。リセット端子に信号が入るとカウントはクリアされる。CMP 1 に接続される入力端子に入力される H から L への信号の回数を数え、回数が 4 回の時に出力端子から H レベルを出力する。過渡的電流成分発生回路 1 1 は、抵抗 R 8 の抵抗値が、3 K Ω から 1 K Ω に変更している。

【 0 0 6 8 】

第 2 の実施の形態に係る半導体スイッチング装置 1 は、Q A と Q B からなるマルチソース FET である Tr 5 と、Q A のソース電位 V S A と Q B のソース電位 V S B の大小関係を比較する電圧比較装置 CMP 1 と、V S A が V S B を上回っているとき Tr 5 のゲートに駆動電圧を印加し、V S A が V S B を下回っているとき Tr 5 のゲートへの駆動電圧を遮断するゲート駆動回路 8 とを備えている。

【 0 0 6 9 】

さらに、半導体スイッチング装置 1 は、V S A と V S B が等しい場合に Q A を流れる電流 I D を Q B を流れる電流 I r e f で除した値を n とすると、負荷 1 0 が正常範囲にあるときの定常状態における電流 I D の値を n で除した値より大きい電流 I r e f c を流す定常成分 (I r e f c) 用回路と、負荷 1 0 が正常範囲にあるときの過渡状態の電流の値を n で除した値より大きい電流 I r e f t を第 4 の所定時間だけ通電する過渡成分 (I r e f t) 用回路とをリファレンス FET (Q B) のソースと接地間に並列に配置している。負荷 1 0 を流れる電流が急増してメイン FET のソース電位 V S A がリファレンス FET のソース電位 V S B を下回ったとき、過渡成分 I r e f t をスタートさせるように構成する。過渡成分用回路がスタート後、第 3 の所定時間内に過渡成分回路が再スタートするという事象が所定の回数繰り返されたらマルチソース FET (Tr 5) を遮断する。

【 0 0 7 0 】

定常成分用回路のみ、または、定常成分用回路及び過渡成分用回路が動作している場合に、V S A が V S B を下回ったとき、CMP 1 は反転パルスを出力し、

タイマ3は再スタートする。この再スタートにより20msタイマが再度オン状態に維持されるので、過渡成分用回路が再スタートする。

【0071】

この再スタート後、再スタートした200msタイマがオン状態を維持する時間内に過渡成分用回路が更に再々スタートするという事象が所定の4回繰り返されたらQAを遮断する。すなわち、200msタイマがオン状態を維持する時間内にタイマ3を再スタートさせるCMP1の反転パルスは、連続パルスとみなされる。

【0072】

次に、本発明の第2の実施の形態に係る電流振動型遮断機能付き半導体スイッチング装置1の動作について説明する。VSAとVSBの大小を判定することと、Iref等の設定と、ダミー電圧回路の動作は、第1の実施の形態と同じである。ただ、抵抗R8等を変更しているので、タイマ20ms出力がLになるとTr2、Tr3がオフし、コンデンサC1の電荷はNPNトランジスタTr4のベース電流となって放電する放電時定数が異なる。放電時定数はTr4の電流増幅率を $hfe4 = 257$ とすると式2で表される。

【0073】

$$\begin{aligned} \text{Tr1ゲート電位の減少時定数} &= C1 \times R8 \times hfe4 \\ &= 0.1 \times 10^{-6} \times 1 \times 10^3 \times 257 = 25.7 \text{ ms} \quad \dots \text{式8} \end{aligned}$$

Tr1のゲート電位の減少に連れて、Iref tは減少する。200msタイマの出力は4パルスカウンタ14のリセット端子に接続され、200msタイマの出力がHレベルになると4パルスカウンタ14は動作し、Lレベルになると4パルスカウンタ14はリセットされる。

【0074】

一方、タイマの20ms出力がHになり、Iref tが設定され、 $VSA > VSB$ となると、一旦オフしたQA、QBがダミー電圧により再度オンされた後は負荷側回路が正常であれば、別な言い方をすれば配線ショート等が発生していなければ、QA、QBはオンを続ける。

【0075】

タイマーの20ms出力がHになっている間に過電流状態 $I_{ref} \times n < I_D$ 、または過負荷状態 $R_r > R_L \times n$ となった場合は、CMP1がオン/オフを4回繰り返した時点でQA、QBを遮断する。これは、デッドショートのような状態で、この場合はオン/オフ動作によるQAの発熱が大きいので、出来るだけ短時間で遮断する必要がある。

【0076】

また、20msタイマの出力がLで、過電流または過負荷状態になった場合はCMP1の出力がH→Lに変化するので、20msタイマの出力がHになって、 I_{ref} の過渡成分 $I_{ref t}$ が再スタートする。同時に200msタイマの出力もHになる。従って最初の過渡成分がスタートしてから200ms以内に過渡成分が再スタートすると4パルスカウンタはリセットされることなく、CMP1出力の立ち下がり回数を積算する。図13の(a)(b)に示すように、連続パルスとみなされる200ms以内の間隔で過渡成分の再スタートが4回連続すると、4パルスカウンタはオーバーフローし、QA、QBは遮断される。200msタイマの出力はCMP1出力の立ち下がり回数を「連続」と定義するために用いられている。

【0077】

このように、マルチソースFET Tr5を遮断する前に過渡成分を4回まで再スタートさせる方法は次の効果がある。

【0078】

(1) 過渡成分 $I_{ref t}$ が短すぎて、負荷側の正常過渡成分がまだ残っているとときにゼロになり、 $I_{ref} \times n < I_D$ となった場合でも、過渡成分を再スタートさせることにより、FETの誤遮断を回避できる。負荷が正常であれば過渡成分 $I_{ref t}$ を4回再スタートさせるまでには、負荷側過渡成分はゼロになる。

【0079】

(2) 図13(c)に示すように、複数の負荷を短い間隔をおいてスタートさせた場合でも、それぞれの負荷が正常であれば、誤遮断することなしにスイッチオンできる。すなわち、4パルスカウンタ方式では3個の負荷まで対応可能であ

る。負荷が増えた場合は、カウンタの設定値を増やすことで対応できる。

【0080】

(3) スイッチオン時にチャタリングが発生した場合でも、(2)と同様に誤動作を回避できる。

【0081】

(4) 異常の度合いにより、遮断までの時間が変わる。すなわち、デッドショート時は、4パルスカウンタでは100 μ 秒～150 μ 秒で遮断する。また、軽過負荷では時間間隔を開けて、4回再確認し400m秒～600m秒で遮断する。デッドショートの場合は誤判断する可能性が少なく、かつ、速く遮断することは配線保護、素子の保護に有効である。また、異常の度合いが軽微の場合は誤判断の可能性が高いので、時間間隔を長くして再判断することは誤判断回避のためには有効である。異常度合いが軽微の場合は配線の発熱、素子の発熱が少ないので、遮断時間が長くすることによる問題はない。過電流保護、過負荷保護としては理にかなった方式と言える。なお、異常度合いが軽微の場合は、図13の(a)(b)に示すように、電流IDの大きさが大きいほど、負荷10オンからFET遮断までの時間を短くすることができる。

【0082】

(5) 間欠的な過負荷、過電流の検出が可能である。200msタイマの出力では、200ms以内の間欠的異常しか検出できないが、200msを長くすることにより、長い間欠的異常にも対応できる。但し、タイマの出力を長くすることは、定性的には誤作動の機会が増えることになるので、むやみに長くすることは好ましくない。

【0083】

【実施例4】

実施例4では、正常なランプ負荷を使用した場合の第2の実施の形態に係るスイッチング装置1の動作について説明する。実施例1と同様に、ランプは、遮断機能が働くことなく、点灯し、そして、点灯し続ける場合である。ランプ負荷10には21Wのバルブ2灯を並列に接続したものをを用いた。

【0084】

図 1 4 は、バルブ点灯時のスイッチング回路の信号波形を示すグラフである。横軸は時間で 1 目盛りが 1 0 m 秒である。縦軸には、Tr 5 のメイン FET (Q A) のソース電位 (V S A) と、タイマ 3 のスタートから 2 0 m 秒を計り終えるまで出力端子 2 で出力される 2 0 m 秒のタイマ出力とを表す電圧と、Q A のドレイン電流 I_D と、Tr 5 のリファレンス FET (Q B) のドレイン電流 $n \times I_{ref}$ とを示している。縦軸の単位は、グラフ中の V S A、 I_D 、 I_{ref} それぞれの右側に示している。V S A の縦軸は、(2 V / d i v、6 V) と表され、1 目盛りが 2 V で、全 8 目盛り中の 4 目盛り目の電圧が 6 V である。同様に I_D と $n \times I_{ref}$ の縦軸は、(1 0 A / d i v、3 0 V) と表され、1 目盛りが 1 0 A で、全 8 目盛り中の 4 目盛り目の電流が 3 0 A である。以下のグラフでも縦軸は同様な表記法で表している。

【 0 0 8 5 】

タイマ出力は、時間軸 1 目盛り目でオンし、オンから 1 8 m 秒後にオフしている。 I_D は、タイマ出力のオンと同時に流れ始める。流れはじめの電流値は 3 0 A に達するが、その後減少し、タイマ出力がオフになるときは 8 A まで低下する。 I_D がランプ負荷を流れる電流で、電流の流れははじめからランプは点灯する。電流値がさらに低下し 4 A の時にランプは正常な連続点灯することになる。この電流 4 A が I_D の定常成分であり、電流を流し始めた時の電流 4 A を超える電流値から電流 4 A 分を引いた分が過渡成分である。 $n \times I_{ref}$ は、タイマ出力がオンになる前から定常成分 $n \times I_{refc}$ の 5 A が流れている。そして、タイマ出力のオンと同時に過渡成分 $n \times I_{ref t}$ が流れ始める。この流れはじめの電流値は 4 0 A に達する。2 0 m s タイマの信号がオンしてからオフするまで $n \times I_{ref}$ は 4 0 A 程度の値に固定されており、オフした後に減少することがわかる。 I_D の電流値はどの時間においても $n \times I_{ref}$ より小さくなっている。このことにより、V S A は V S B よりどの時間においても大きくなり過剰電流が発生していないと判断できる。V S A は、タイマ出力のオンと同時に電圧が高くなり、ランプ負荷 1 0 に 1 2 V を超える電圧が印可される。 $n \times I_{ref} > I_D$ なので FET はオンを続ける。

【 0 0 8 6 】

図15におけるVSA、ID、 $n \times I_{ref}$ の波形も、図14のそれらと同じ波形である。スイッチSW1をオンにする際に発生するSW1等によるドライバ8の入力信号のオン信号との関係を示しており、図14の横軸の時間軸を100倍に拡大している。チャージポンプ7の立ち上がり遅れによって、SW1入力信号のオンからID等の立ち上がりまでに約80 μ 秒の遅れがある。

【0087】

図16におけるVSA、ID、 $n \times I_{ref}$ は、図15のそれらと同じ波形である。図15のVSA、ID、 $n \times I_{ref}$ の波形の立ち上がりの時間を図15の10倍に拡大している。これより、時間3目盛り半過ぎでIDが $n \times I_{ref}$ より大きくなっている。この逆転により、ゲート駆動信号はオフし、増加していたVSAは減少に転じる。そして、VSAが減少してダミー電圧のLレベル以下になると、入力信号は再びオンし、VSA、ID、 $n \times I_{ref}$ も上昇する。

【0088】

図17におけるVSA、ID、 $n \times I_{ref}$ の波形は、図14のそれらと同じ波形である。200msタイマとの関係を示しており、横軸の時間軸を5分の1に縮小している。これより、タイマ出力は、時間軸1目盛り目でオンし、オンから180m秒後にオフしている。IDは、タイマ出力のオンと同時に流れ始める。流れはじめの電流値は30Aに達するが、その後減少し、タイマ出力がオフになる前までには4Aで一定値になる。 $n \times I_{ref}$ は、タイマ出力がオンになる前から定常成分 $n \times I_{refc}$ の5Aが流れている。そして、タイマ出力のオンと同時に過渡成分 $n \times I_{ref t}$ が流れ始める。この流れはじめの電流値は40Aに達するが、その後減少し、タイマ出力がオフになる前までには過渡成分 $n \times I_{ref t}$ は無くなり定常成分 $n \times I_{refc}$ の5Aのみの一定値になる。

【0089】

【実施例5】

実施例5では、QAと負荷10の間の配線をデッドショートさせた場合の本発明の第2の実施の形態に係るスイッチング装置1の動作について説明する。

【0090】

図18は、QAと負荷10の間の配線をデッドショートさせた状態でスイッチ

SW1 をオンしたときの波形である。

【0091】

ショートした状態で流れる I_D は、 I_{ref} を超えるので、一旦オンした Q_A と Q_B がオフする。CMP1 の + 入力端子には V_{SA} より低い電位が入力される。そのため、 V_{SA} が少しくらい変動しても、その変動幅が R_3 電圧降下より小さければ CMP1 は安定してダミー電圧 L レベル（式 5 の A 点電位、図 18 中の A 点）を維持することになる。 Q_A がオフを続けると V_{SA} は GND に向かって低下し、 Q_A のゲート電位も低下する。 Q_B のゲートは Q_A のゲートに直結しているので、 V_{SA} の低下につれて、 V_{SB} も低下する。 V_{SA} の低下に連れて A 点の電位は若干低下するが、その低下量は僅かである。CMP1 の + 端子電圧には A 点の電位が供給され、- 端子には V_{SB} の電位が供給されるので、やがて $CMP1 + \text{端子電位} > CMP1 - \text{端子電位}$ となり、CMP1 の出力は $L \rightarrow H$ に反転する。ゲートドライバー 8 は再びオンとなり、 Q_A 、 Q_B がオンし、 V_{SA} および V_{SB} は上昇に転じる。ゲートドライバー 8 の出力が $0V \rightarrow V_p$ に上昇するので D_2 が逆バイアスされ、A 点の電位は V_{SA} の上昇に連れて上昇する。そのとき A 点の電位 $> V_{SA}$ の関係にある。A 点の電位は式 6 の B 点電位（ダミー電圧 H レベル、図 18 中の B 点）まで上昇する。 Q_B のオンにより V_{SB} も上昇しダミー電圧 H 以上になると、CMP1 の出力は $H \rightarrow L$ に反転する。パルスカウンタ 14 は 1 カウント目をカウントする。ゲートドライバー 8 は再びオフとなり、 Q_A 、 Q_B がオフする。 Q_A 、 Q_B のオン／オフは繰り返され、その度毎にカウンタ 14 はカウント数を増やす。4 カウント目にカウンタ 14 から信号が出力され、ゲートドライバー 8 は再びオフとなり、 Q_A 、 Q_B がオフする。ショート発生から電流遮断までに要した時間は $110 \mu\text{秒}$ であった。

【0092】

図 19 は、負荷 10 には 21W のバルブ 2 灯を並列に接続したものをを用い、2 灯点灯時に Q_A と負荷 10 の間の配線をデッドショートさせた場合の波形である。図 18 と同様の Q_A 、 Q_B のオン／オフが繰り返されている。ショート発生から電流遮断までに要した時間は $130 \mu\text{秒}$ であった。

【0093】

【実施例 6】

実施例 6 では、過負荷となるランプ負荷を使用した場合の第 2 の実施の形態に係るスイッチング装置 1 の動作について説明する。ランプは、遮断機能が働いて点灯しない。ランプ負荷 10 には 21 W のバルブ 3 灯を並列に接続したものをを用いた。装置 1 においては 2 灯では過負荷ではなく 3 灯で過負荷になるように $n \times I_{ref}$ を設定している。図 20 は、ドライバの入力信号オンから、遮断されるまでのスイッチング回路の信号波形を示すグラフである。横軸は時間で 1 目盛りが 20μ 秒である。縦軸には、VSA と、ゲート駆動信号と、ID と、 $n \times I_{ref}$ とを示している。4 回オン／オフを繰り返した時点でマルチソース FET Tr 5 が遮断されている。1 回毎に、ID と $n \times I_{ref}$ が大きくなる過程で、 $n \times I_{ref}$ より小さかった ID が、35 A 付近で $n \times I_{ref}$ より大きくなっている。この反転により、ゲート駆動信号はオフし、VSA は増加から減少に転じている。VSA が減少してダミー電圧の L レベル以下になると入力信号はオンし、VSA は再び増加する。このようにして VSA は振動する。VSA の振動を CMP 1 を介して 4 パルスカウンタ 14 がカウントする。このカウントが 4 カウント目のとき、カウンタ 14 はオン信号を出力し、ドライバ 8 の入力信号はオフする。この 4 カウント目のときタイマ 3 もオンし I_{ref} が流れる。このことにより、ID が $n \times I_{ref}$ より小さい状態に回復する。この回復により再度 VSA と ID がオンすることはない。負荷 10 の 3 灯は消灯する。スイッチオンから電流遮断までに要した時間は 185μ 秒であった。

【0094】

【実施例 7】

実施例 7 では、正常なランプ負荷を点灯しているときに、さらにランプ負荷を追加して過負荷の状態が発生した場合の本発明に係るスイッチング装置 1 の動作について説明する。ランプが点灯しているところに、さらに別のランプを点灯させようとする、遮断機能が働き、ランプがすべて消灯される。最初から点灯しているランプ負荷には 21 W のバルブ 2 灯を並列に接続したものをを用いた。過負荷用の追加するランプ負荷には 21 W のバルブ 1 灯を使用し点灯している 2 灯に並列接続した。図 21 は、バルブ点灯時に過負荷を追加し遮断されるまでのスイ

ツチング回路の信号波形を示すグラフである。横軸は時間で1目盛りが50m秒である。縦軸には、VSAと、ドライバ8への入力信号と、IDと、 $n \times I_{ref}$ とを示している。図13(a)の中過負荷、または、図13(b)の小過負荷の場合に相当している。過電流発生から電流遮断までに要した時間は420m秒であった。

【0095】

図22におけるVSA、ID、 $n \times I_{ref}$ 、入力信号の波形は、図21のそれらと同じ波形である。図21のVSA、ID、 $n \times I_{ref}$ の波形の立ち上がりの時間を図21の5000倍に拡大している。それぞれの波形は図8と同様に推移する。時間4目盛り半過ぎでIDが $n \times I_{ref}$ より大きくなっている。この逆転により、ゲート駆動信号はオフし、VSAは減少し始める。そして、VSAが減少してダミー電圧のLレベル以下になると、ゲート駆動信号は再びオンし、VSA、ID、 $n \times I_{ref}$ も上昇する。このことにより追加した1灯を含め3灯が点灯する。

【0096】

図23におけるVSA、ID、 $n \times I_{ref}$ 、入力信号の波形は、図21のそれらと同じ波形である。図21のVSA、ID、 $n \times I_{ref}$ の波形の立ち下がり遮断される時間を図21の5000倍に拡大している。IDが $n \times I_{ref}$ よりわずかに大きくなることにより、入力信号はオフし、VSAは減少する。この減少を4パルスカウンタ14はカウントする。このカウントは4カウント目であるので、カウンタ14はオン信号を出力し、ドライバ8の入力信号はオフする。この4カウント目のときタイマ3もオンし I_{ref} が流れる。このことにより、IDが $n \times I_{ref}$ より小さい状態に回復する。この回復により再度VSAとIDがオンすることはない。追加した1灯を含め3灯が消灯する。

【0097】

【発明の効果】

以上説明したように、本発明によれば、突入電流の発生していても過電流の検出が可能で、熱損失が小さく、ある程度の短絡抵抗を持つ不完全短絡などのレアショートが発生した場合の異常電流に対しても高速応答を可能な半導体スイッチ

ング装置を提供できる。

【 0 0 9 8 】

また、本発明によれば、リファレンス回路が定常成分と過渡成分からなるので、負荷側に発生する過渡現象（過渡成分）に対しても正常状態として取り扱ってオン／オフ動作を行わない。このため、ランプの点灯遅れ等の問題も無くなり、かつ、素子の発熱を減らすことができる。

【 0 0 9 9 】

本発明によれば、リファレンス回路の過渡的成分を負荷側の変化に応じてスタートさせることが出来るので、ヒューズ機能の代替が可能である。

【 0 1 0 0 】

本発明によれば、電流振動の制御に2つのレベルのダミー電圧を用いているので、マルチソースFETのゲート駆動回路の遅れ要素が必要なくなり、オン／オフ動作が安定し、かつ、オン／オフ動作の特性をコントロールし易くなる。

【 0 1 0 1 】

本発明によれば、リファレンスに過渡的成分を組み込んだので、過渡的成分の大きさによって異常発生時の遮断時間を変えることが可能となった。具体的には、過渡的成分が大きいときに異常が発生した場合、または発生している場合は短時間で遮断する方法を取ることができる。このため、デッドショート時の電流制限が不十分の場合でも、遮断までの時間を短くすることにより、配線の保護が可能になり、かつ、素子の発熱を抑えることが出来て、特別な電流制限回路を設ける必要が無い。これにより制御回路が簡素化されるので、素子のチップ面積を縮小することや、FETと制御回路を1チップ上に集積することが可能になり、コストが低減できる。

【 0 1 0 2 】

さらに、本発明によれば、パルスカウンタにより、制御手段（制御ステップ）による半導体スイッチのオン／オフ制御回数をカウントし、この制御回数が所定回数に達したときに半導体スイッチをオフ制御することとしたので、不完全短絡でも半導体スイッチの遮断を任意に設定した時間まで速めることができ、高速応答を実現できる。

【 0 1 0 3 】

特に半導体スイッチのオン／オフ制御をモノリシックに集積化した場合はマイコンも不要であるため、チップ面積を縮小できるとともに、装置コストを大幅に削減することができる。

【図面の簡単な説明】

【図 1】

本発明の実施形態に係る電流振動型遮断機能付き半導体スイッチング装置のブロック図である。

【図 2】

本発明の実施形態に係る電流振動型遮断機能付き半導体スイッチング装置の回路構成図である。

【図 3】

本発明の実施例 1（負荷の正常な使用）に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 1）である。200ms タイマの信号に対する V_{SA} 、 $n \times I_{ref}$ 、 I_D の波形を表示している。

【図 4】

本発明の実施例 1 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 2）である。20ms タイマの信号に対する V_{SA} 、 $n \times I_{ref}$ 、 I_D の波形を表示している。

【図 5】

本発明の実施例 1 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 3）である。スイッチ SW_1 がオンしたときの V_{SA} 、 $n \times I_{ref}$ 、 I_D の波形を表示している。

【図 6】

本発明の実施例 1 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 4）である。図 5 に比べ時間軸を 10 倍拡大して表示している。

【図 7】

本発明の実施例 2（負荷の正常な使用中に過負荷状態に移行した場合）に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 1）である

【図 8】

本発明の実施例 2 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 2）である。図 7 のスイッチ SW 1 がオンしたときを、図 7 に比べ時間軸を 2 0 0 0 倍拡大して表示している。

【図 9】

本発明の実施例 2 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 3）である。図 7 の遮断機能が働いたときを、図 7 に比べ時間軸を 4 0 0 倍拡大して表示している。

【図 1 0】

本発明の実施例 2 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 4）である。A 点の電圧（ダミー電圧）と V S A の波形について、図 9 の遮断機能が働いたときを、図 9 に比べ時間軸をさらに 5 倍拡大して表示している。

【図 1 1】

本発明の実施例 3（負荷の使用開始から過負荷状態である場合）に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図である。

【図 1 2】

本発明の第 2 の実施形態に係る電流振動型遮断機能付き半導体スイッチング装置の回路構成図である。

【図 1 3】

本発明の第 2 の実施形態に係る電流振動型遮断機能付き半導体スイッチング装置の連続 4 パルスカウント方式による F E T の遮断を説明するための図である。

【図 1 4】

本発明の実施例 4（負荷の正常な使用）に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 1）である。2 0 m s タイマの信号に対する V S A、 $n \times I_{ref}$ 、 I_D の波形を表示している。

【図 1 5】

本発明の実施例 4 に係る電流振動型遮断機能付き半導体スイッチング装置の信

号波形図（その 2）である。スイッチ SW1 がオンしたときの VSA、 $n \times I_{ref}$ 、ID の波形を表示している。

【図 1 6】

本発明の実施例 4 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 3）である。図 1 5 に比べ時間軸を 1 0 倍拡大して表示している。

【図 1 7】

本発明の実施例 4 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 4）である。2 0 0 m s タイマの信号に対する VSA、 $n \times I_{ref}$ 、ID の波形を表示している。

【図 1 8】

本発明の実施例 5（負荷の使用開始からデッドショート状態である場合）に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図である。

【図 1 9】

本発明の実施例 5 の変形例（負荷の正常な使用中にデッドショート状態に移行した場合）に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図である。

【図 2 0】

本発明の実施例 6（負荷の使用開始から過負荷状態である場合）に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図である。

【図 2 1】

本発明の実施例 7（負荷の正常な使用中に過負荷状態に移行した場合）に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 1）である。

【図 2 2】

本発明の実施例 7 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 2）である。図 2 1 のスイッチ SW1 がオンしたときを、図 2 1 0 に比べ時間軸を 5 0 0 0 倍拡大して表示している。

【図 2 3】

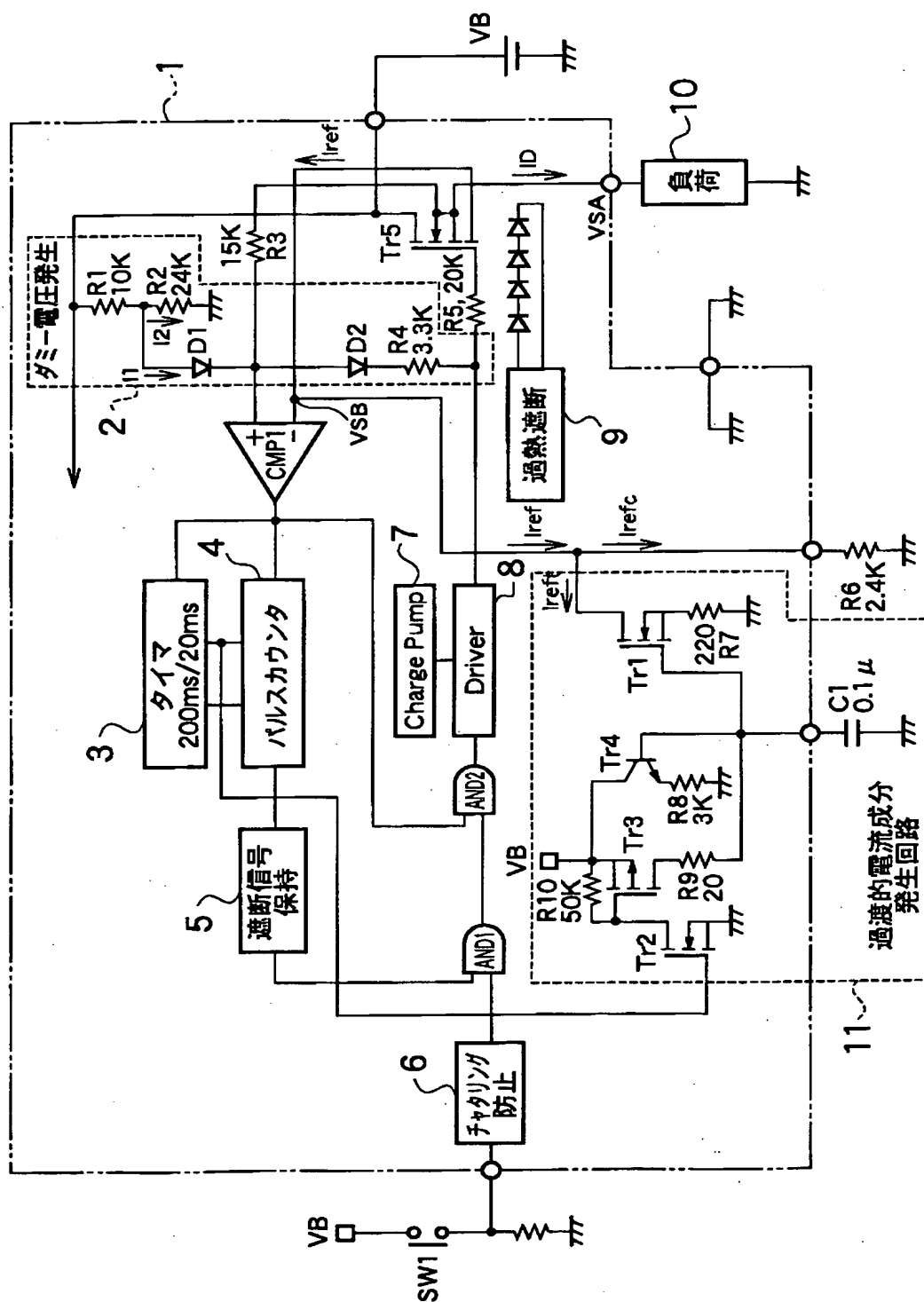
本発明の実施例 7 に係る電流振動型遮断機能付き半導体スイッチング装置の信号波形図（その 3）である。図 2 1 の遮断機能が働いたときを、図 2 1 に比べ時間軸を 5 0 0 0 倍拡大して表示している。

【符号の説明】

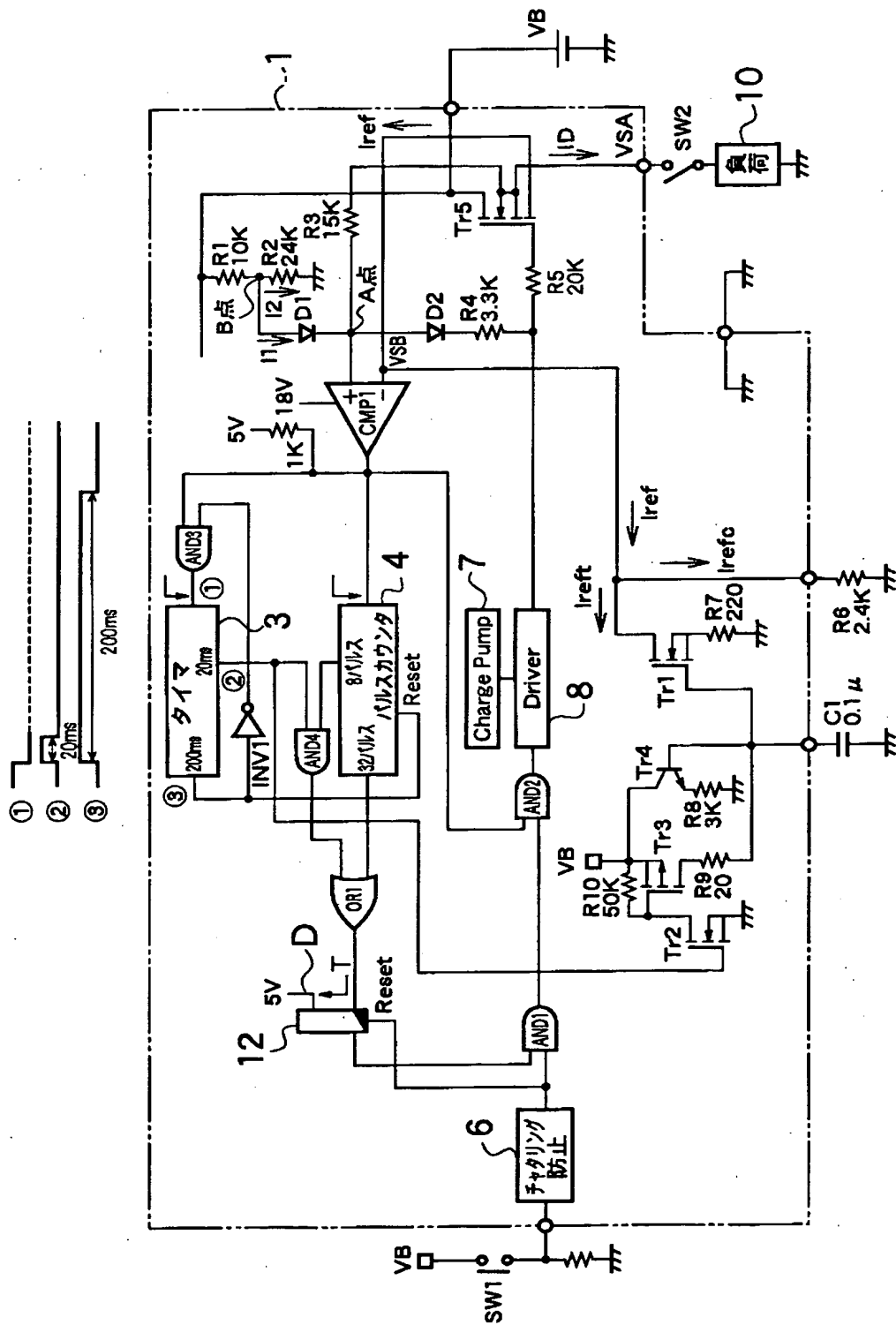
- 1 電流振動型遮断機能付き半導体スイッチング装置
- 2 ダミー電圧発生回路
- 3 タイマ
- 4、1 4 パルスカウンタ
- 5 遮断信号保持回路
- 6 チャタリング防止回路
- 7 チャージポンプ
- 8 ドライバー
- 9 過熱遮断回路
- 1 0 負荷
- 1 1 過渡的電流成分発生回路
- 1 2 D-フリップフロップ回路
- T r 1 乃至 5 トランジスタ
- D 1、D 2 ダイオード
- R 1 乃至 1 0 抵抗
- S W 1、S W 2 スイッチ
- C 1 コンデンサー
- C M P 1 比較回路
- A N D 1 乃至 4 A N D 回路
- O R 1 O R 回路
- I N V 1 インバータ

【書類名】 図面

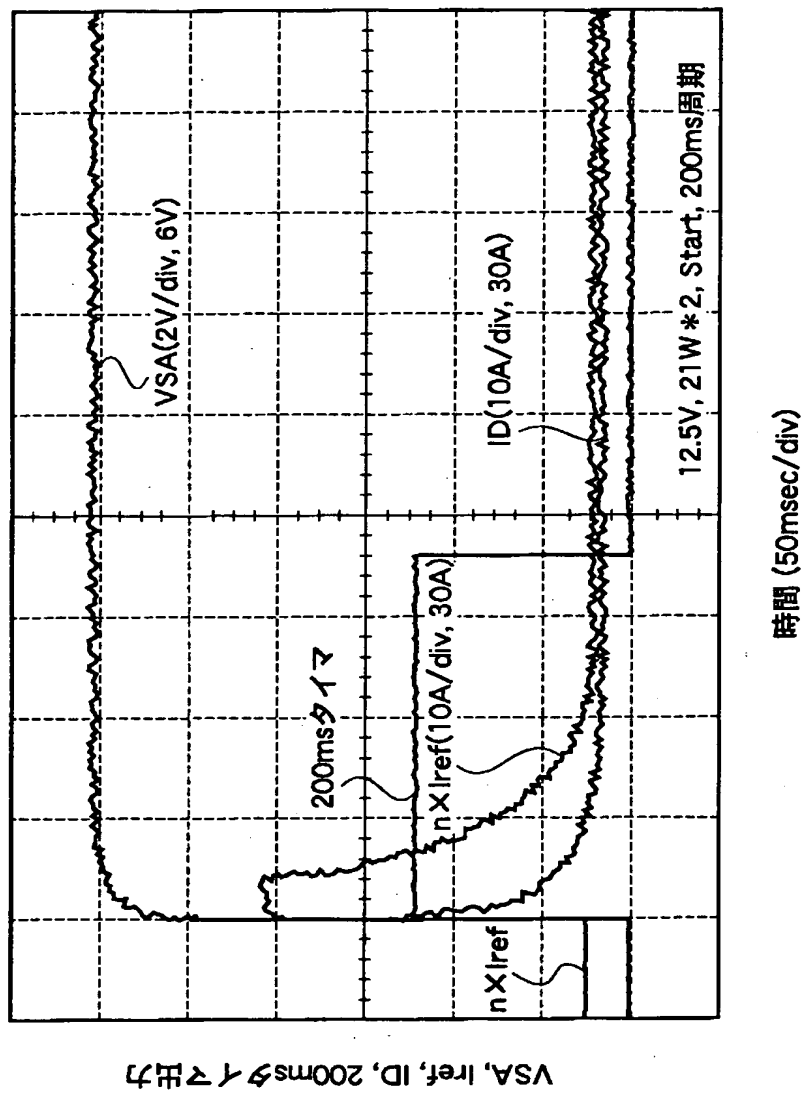
【図 1】



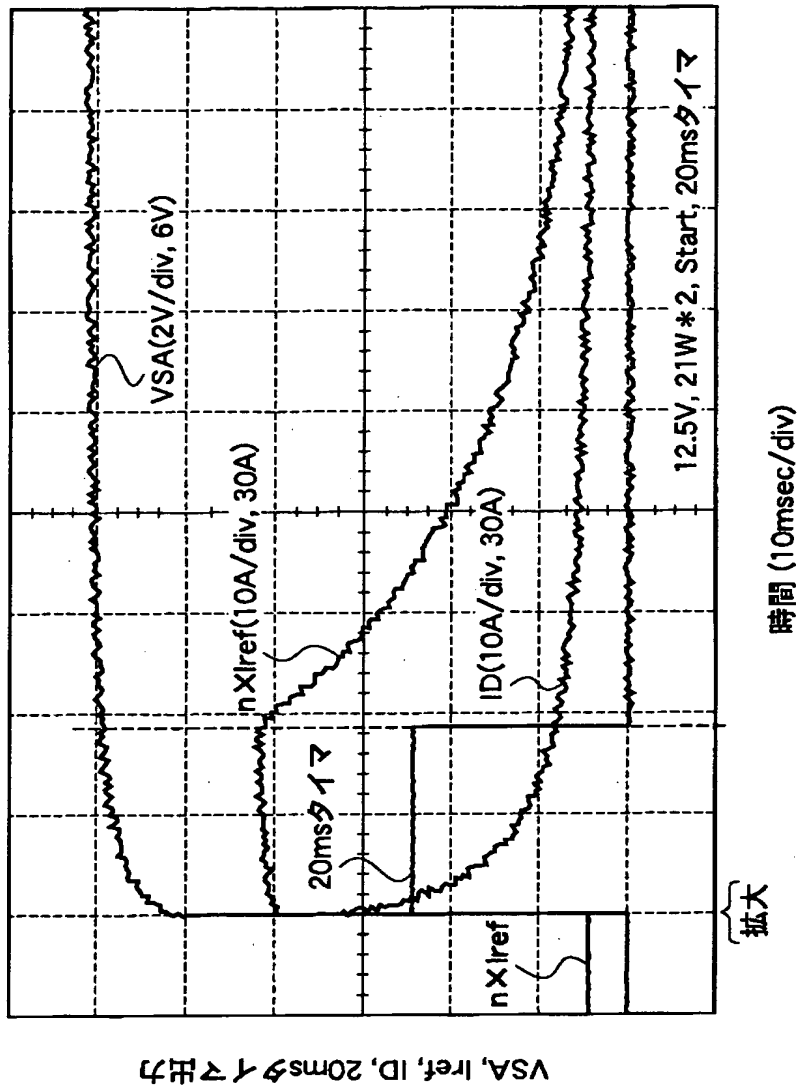
【図 2】



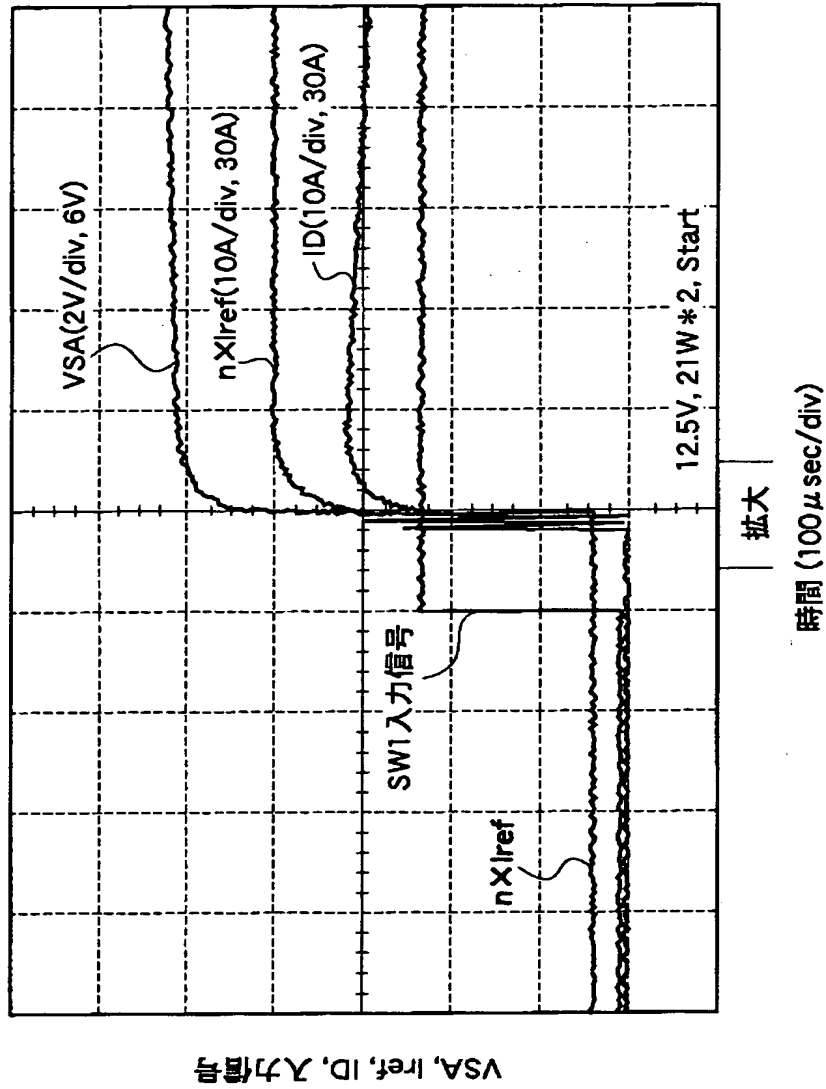
【図 3】



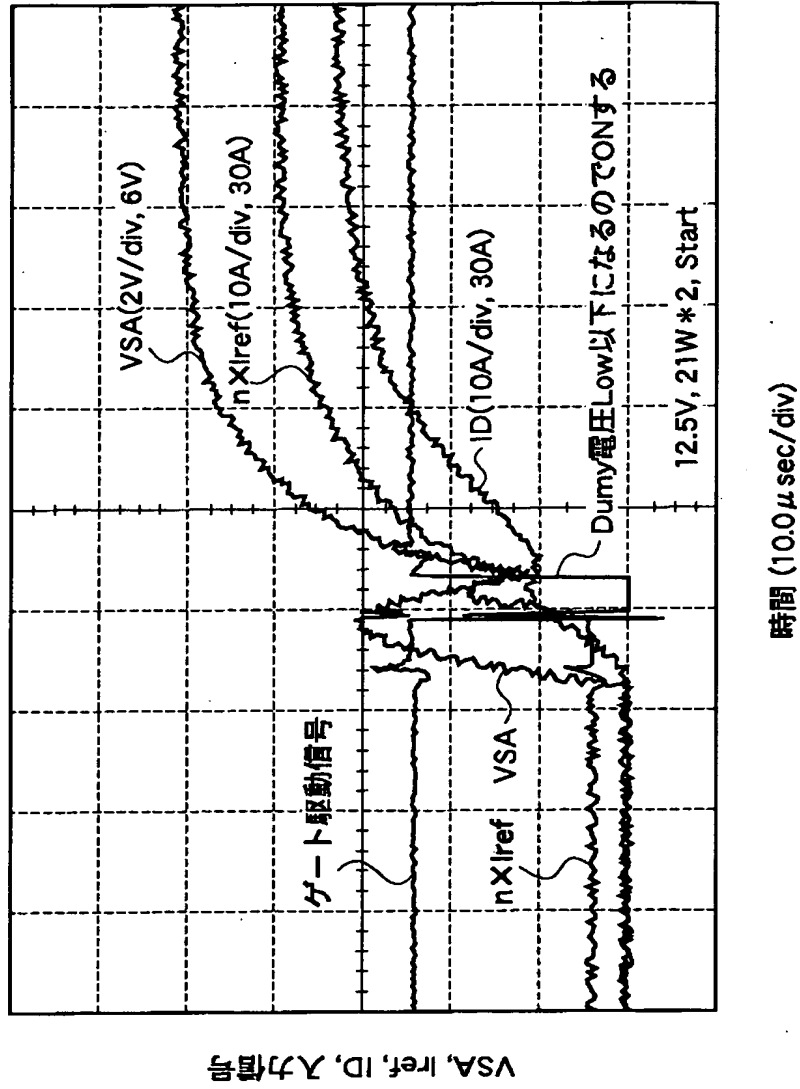
【図 4】



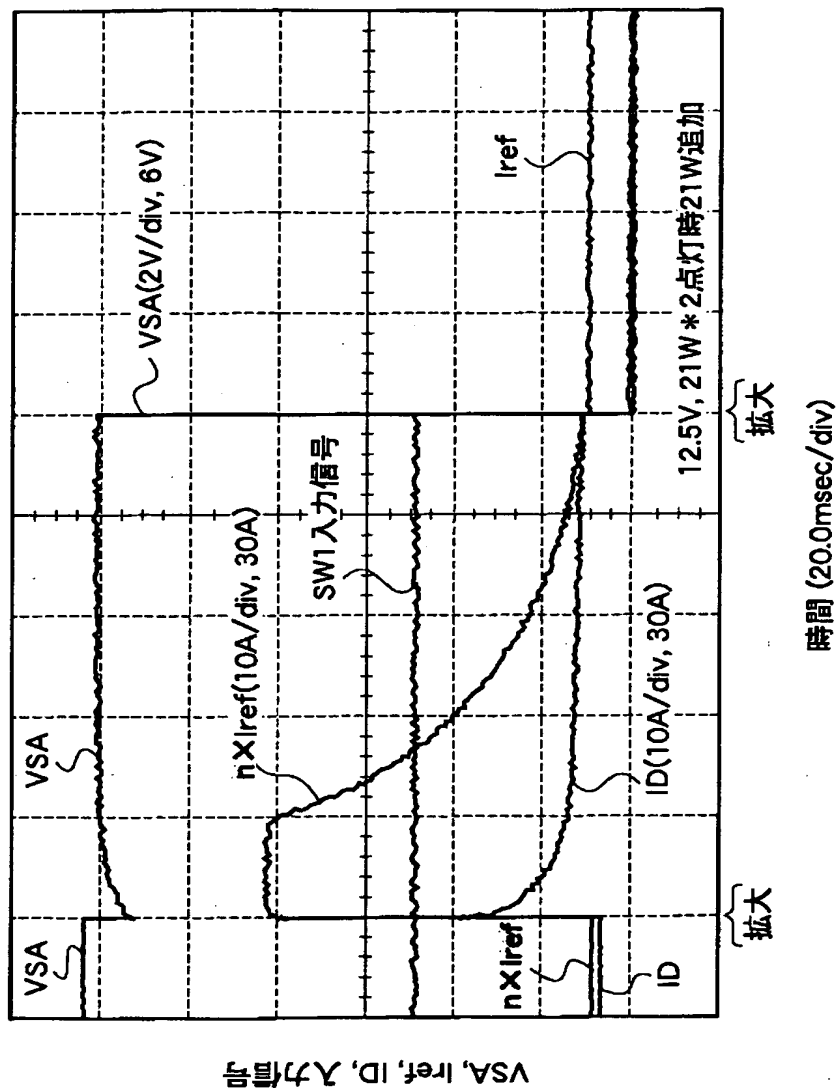
【図 5】



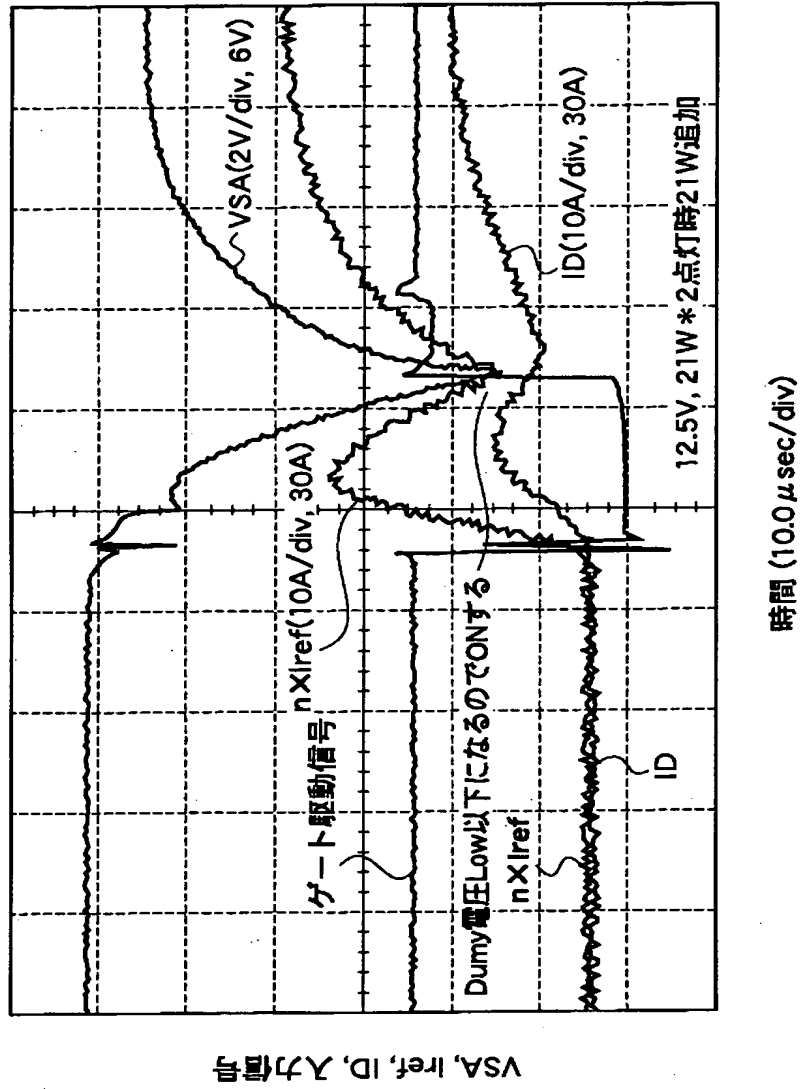
【図 6】



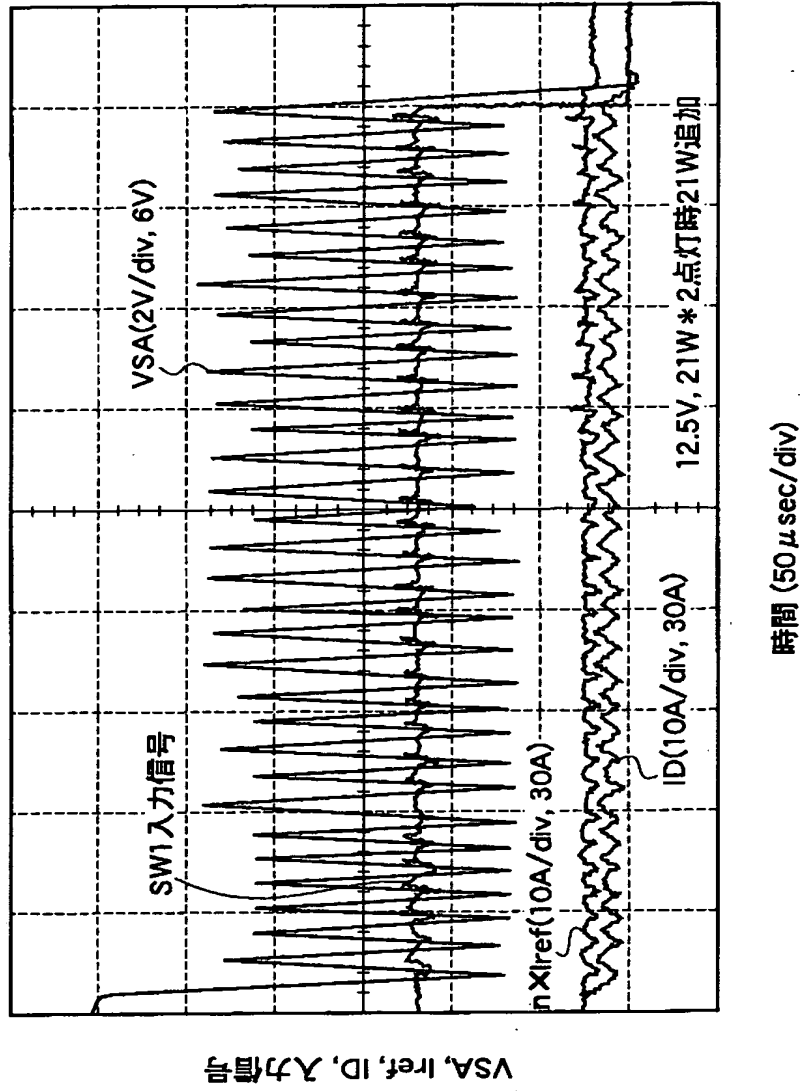
【図7】



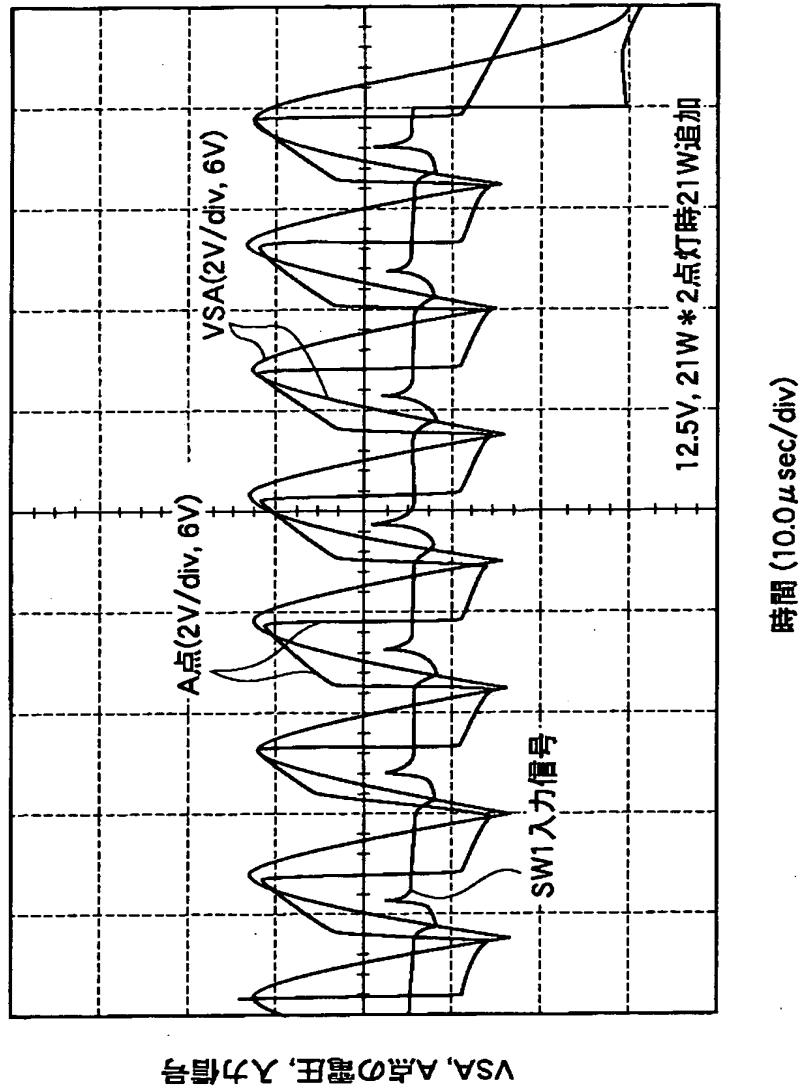
【図 8】



【図 9】

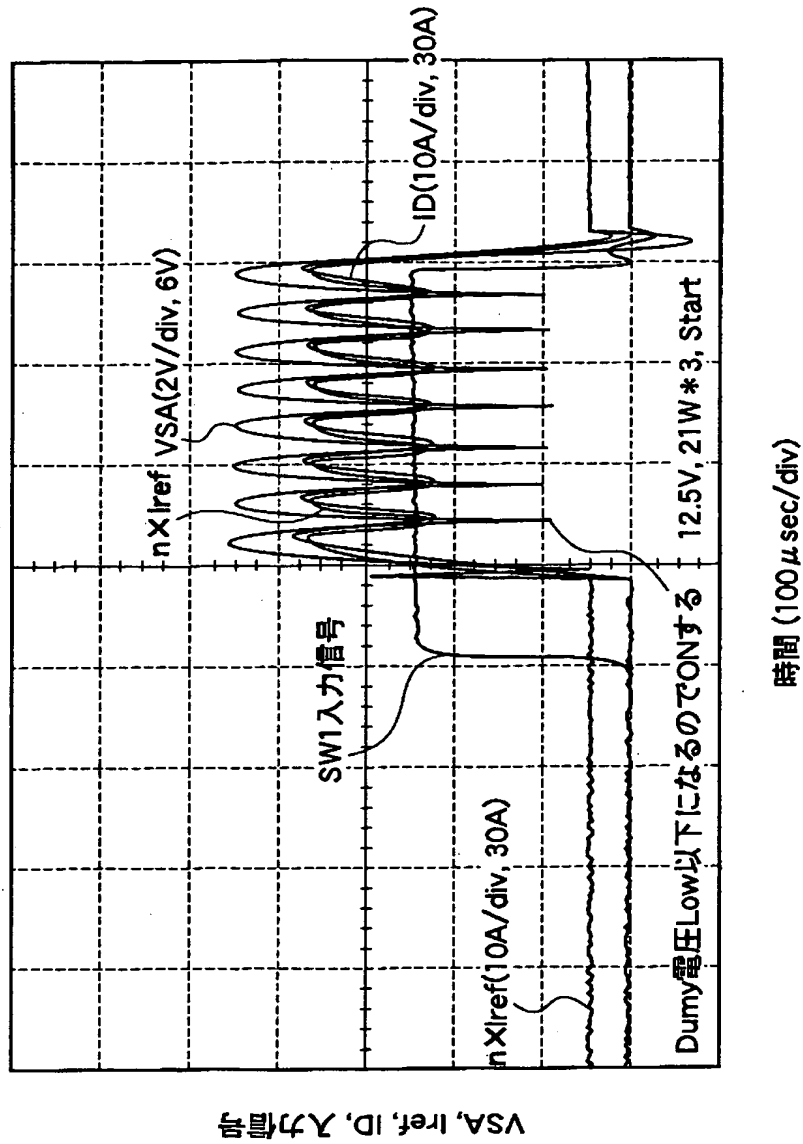


【図 10】

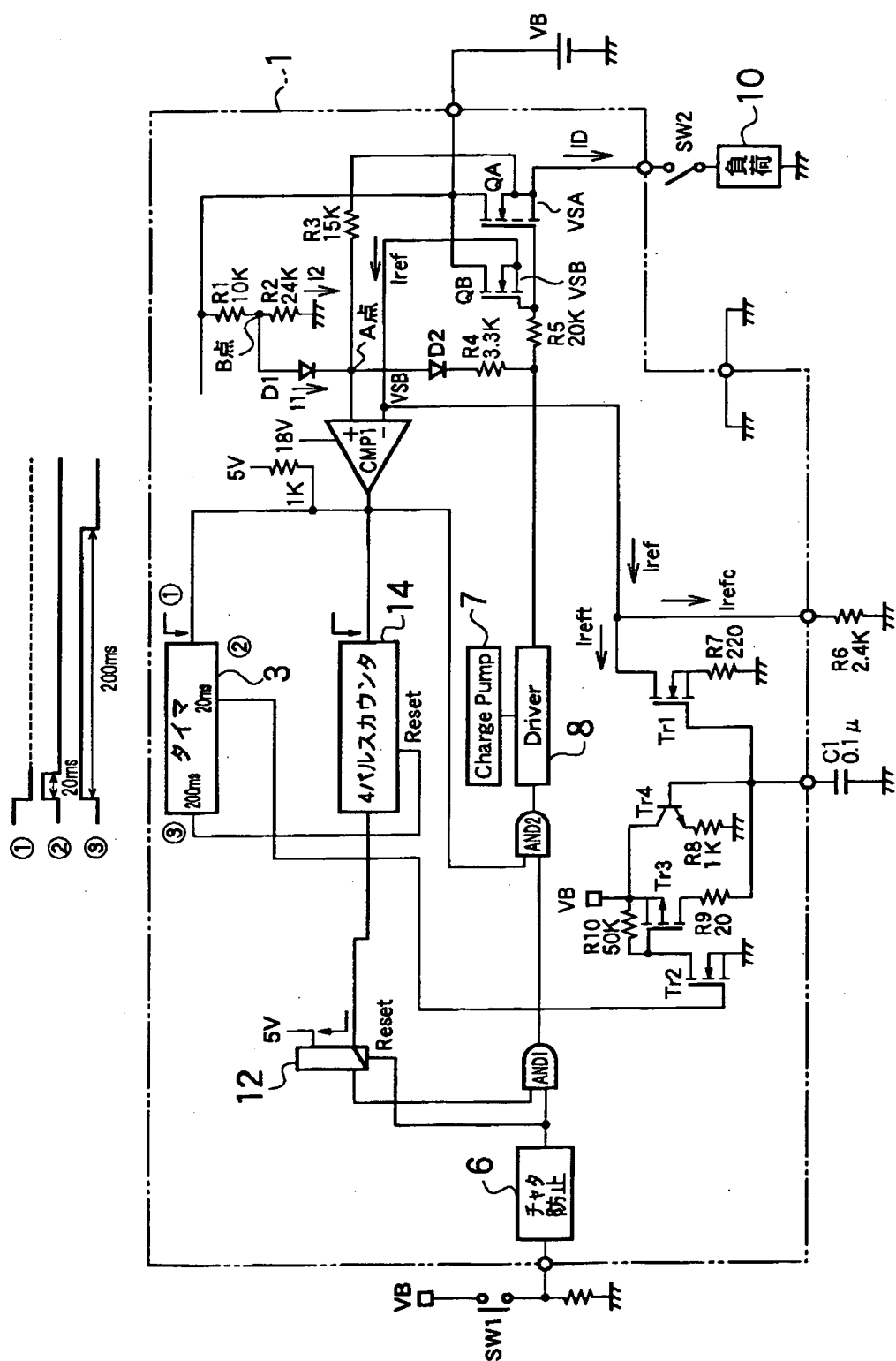


VSA, A点の電圧, 入力信号

【図 11】

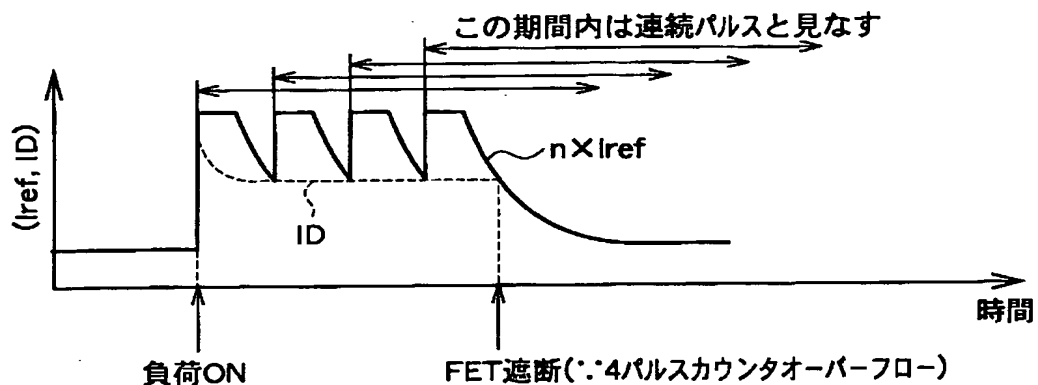


【图 1 2】

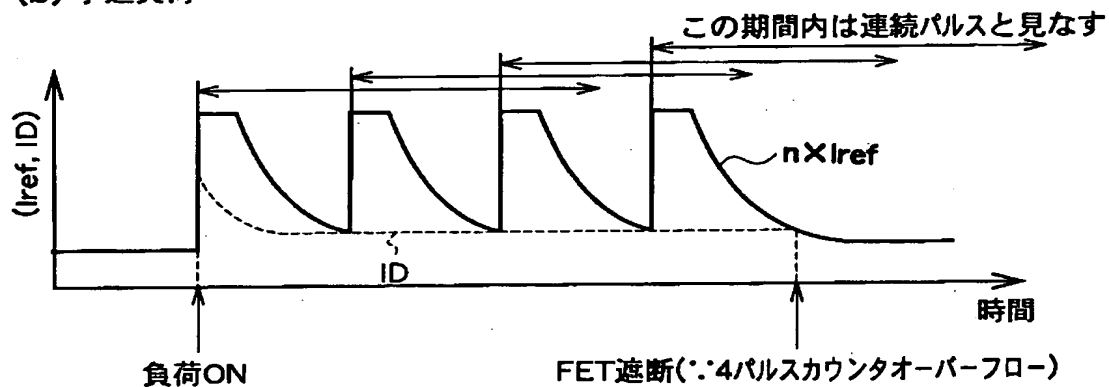


【図 1 3】

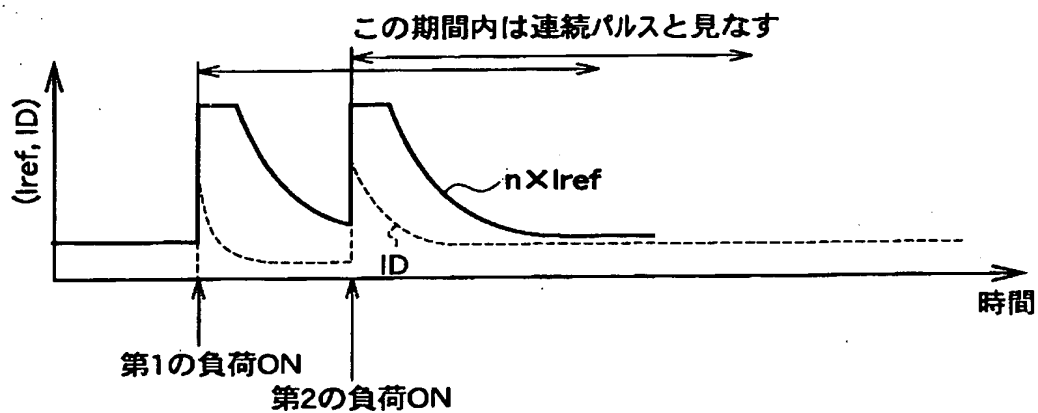
(a) 中過負荷



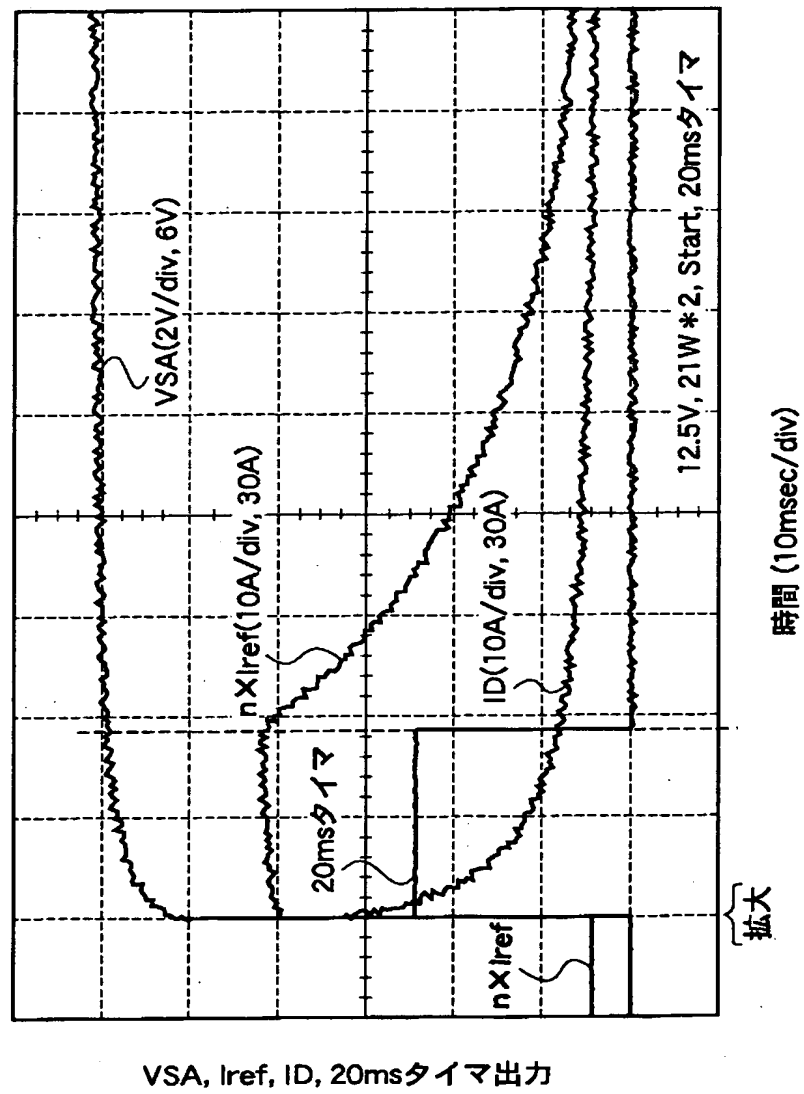
(b) 小過負荷



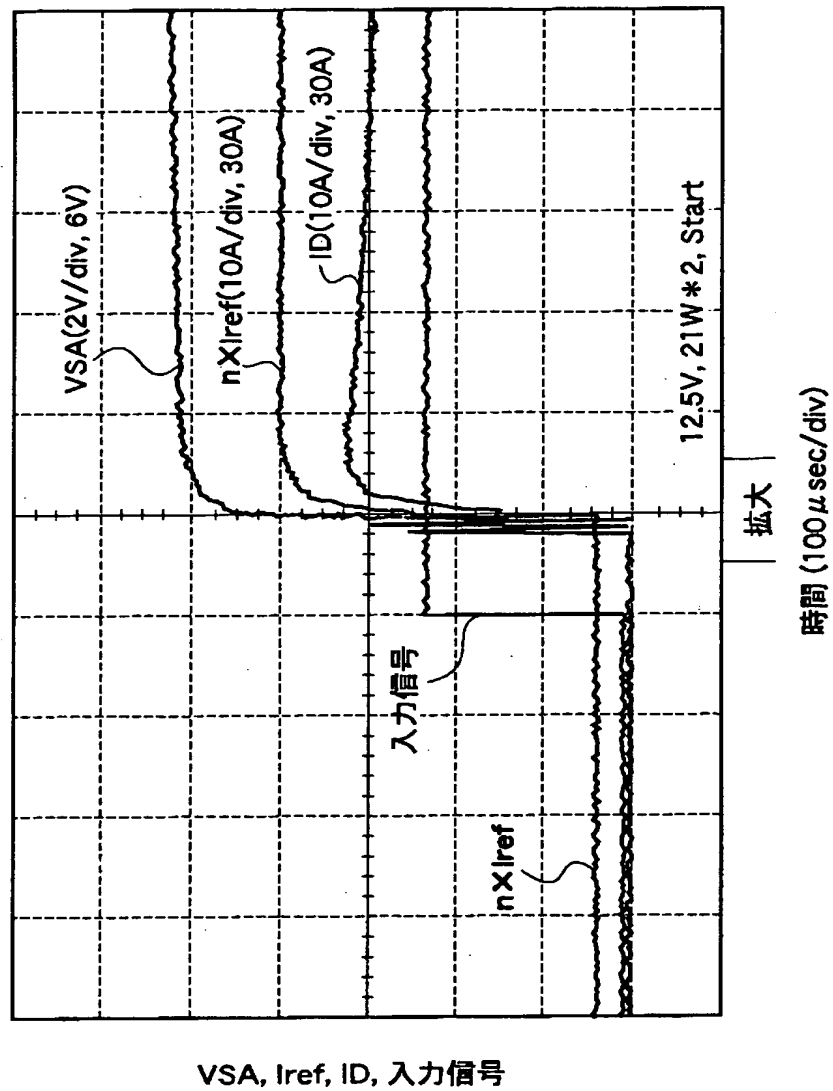
(c) マルチ負荷



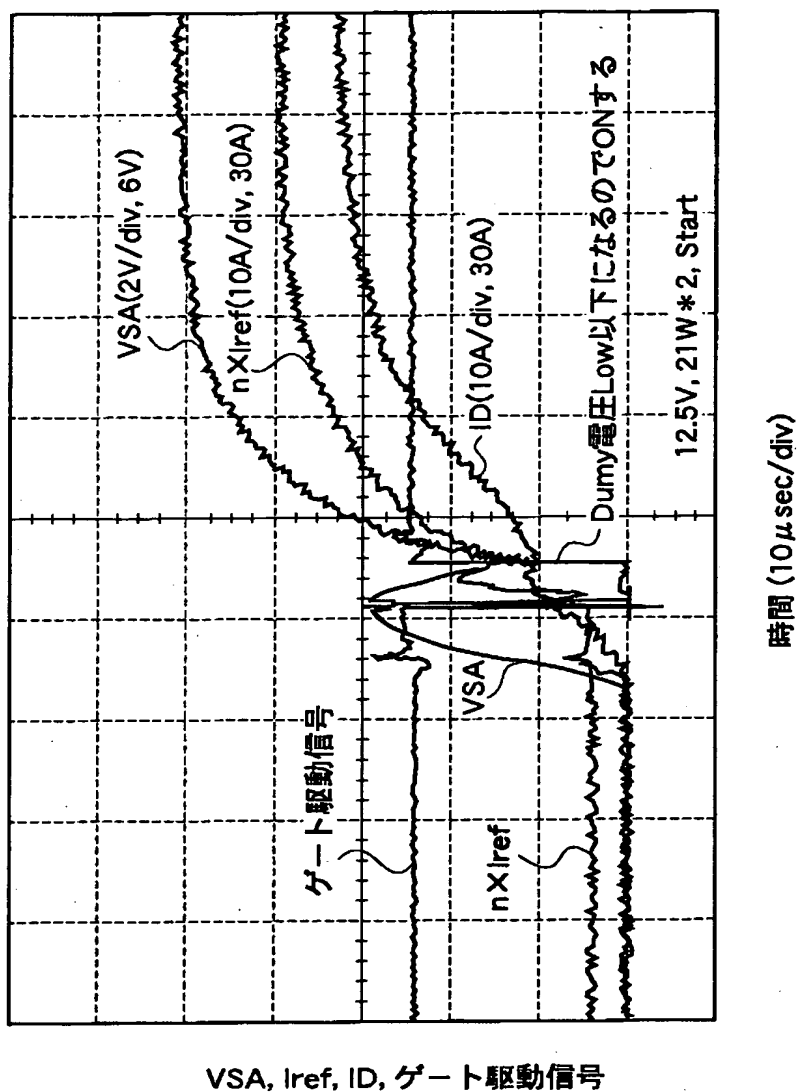
【図 14】



【図 1 5】

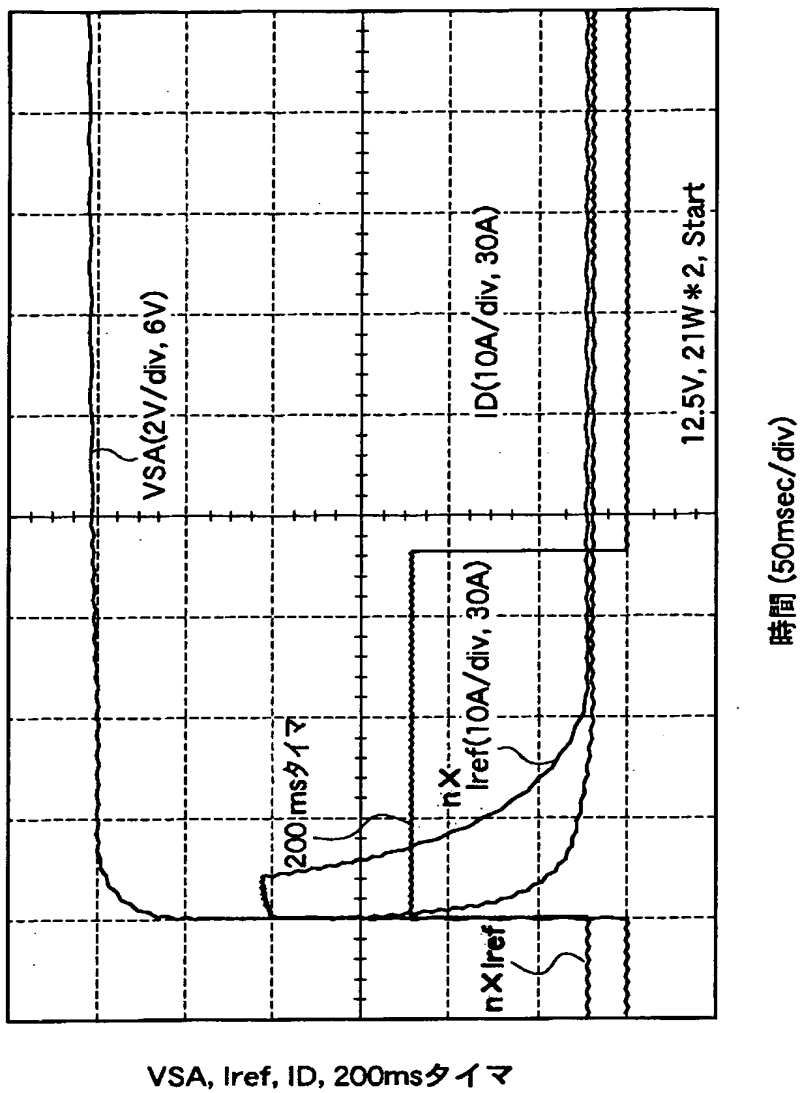


【図16】

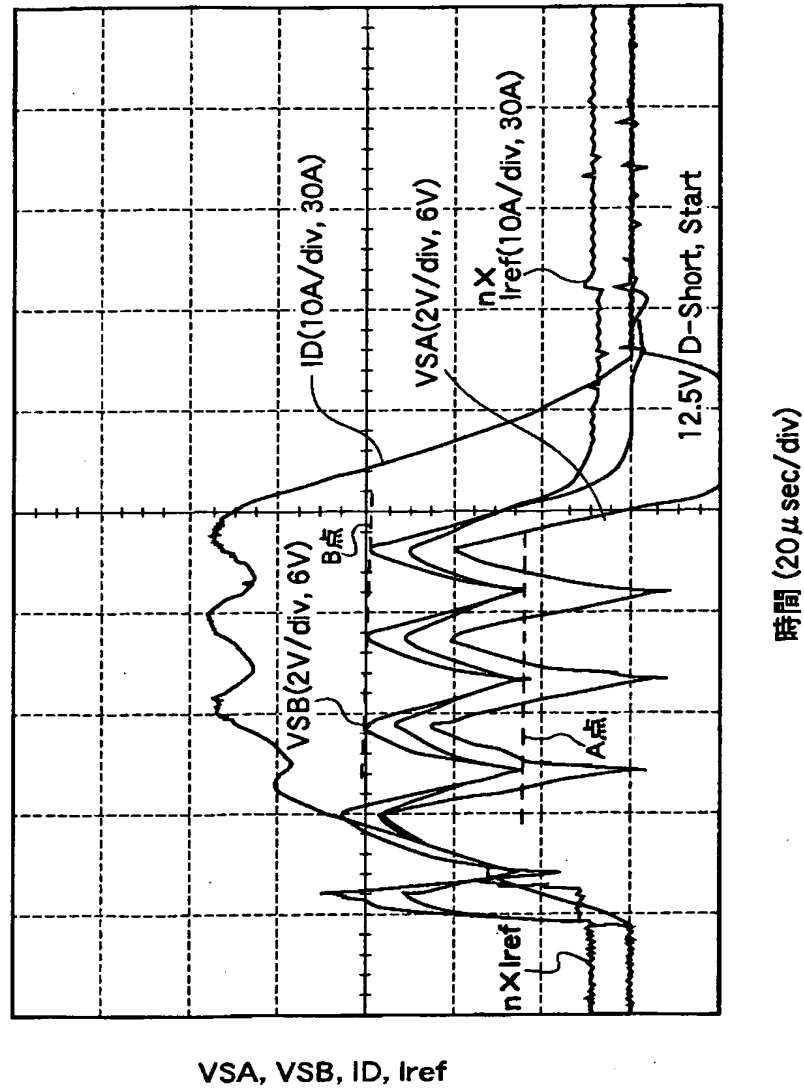


VSA, Iref, ID, ゲート駆動信号

【図 1 7】

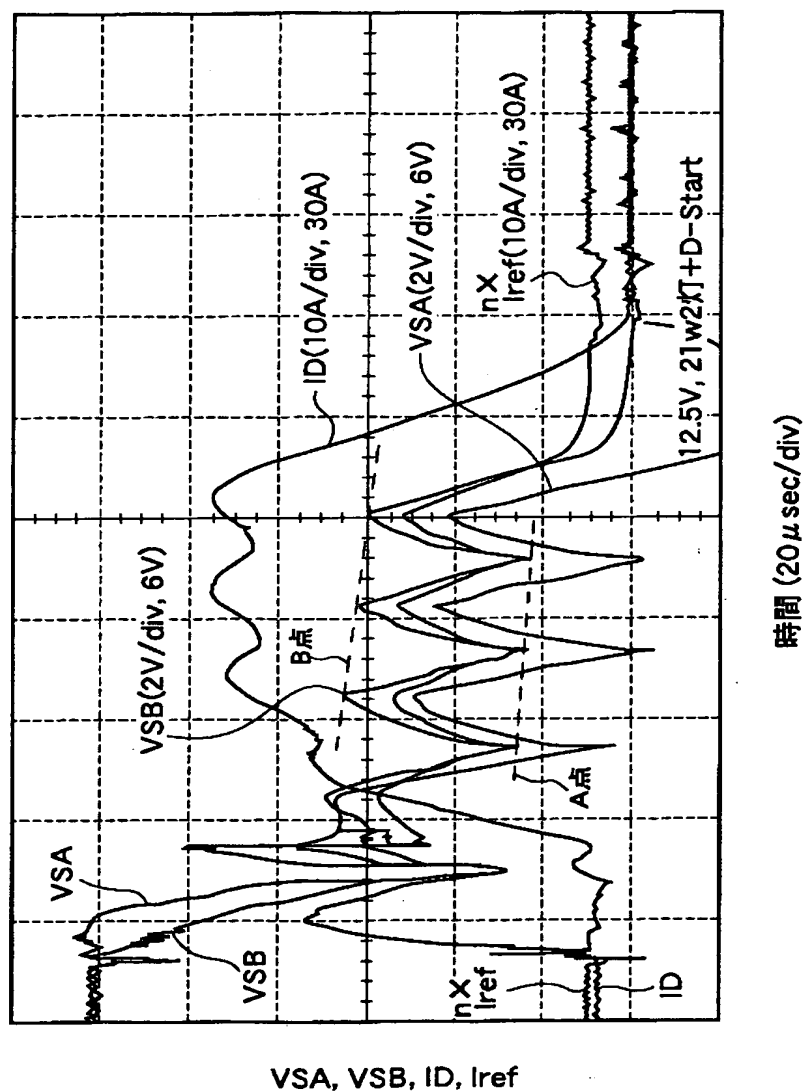


【図 18】

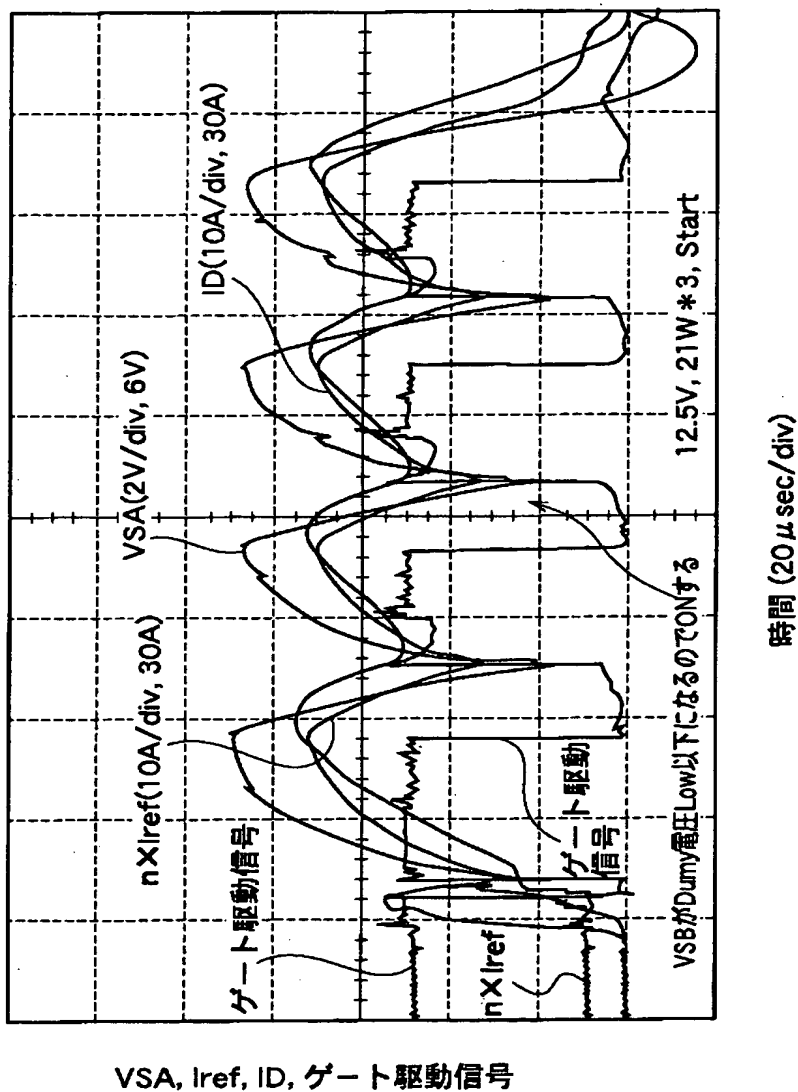


VSA, VSB, ID, Iref

【図 19】

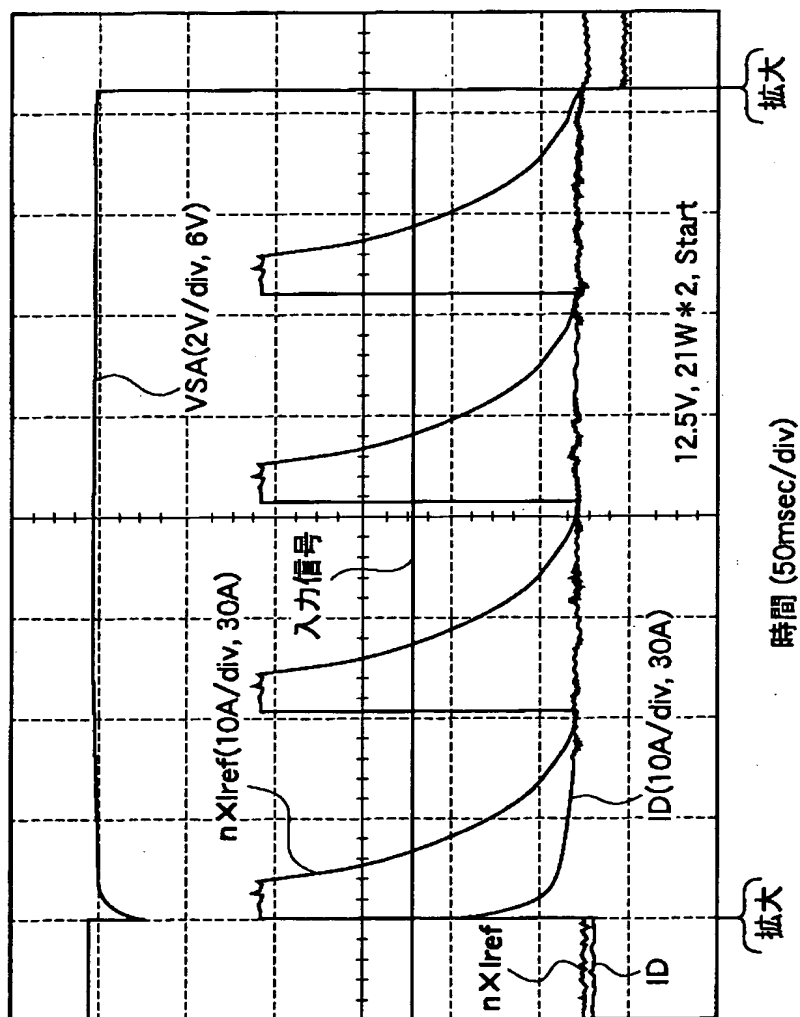


【図 20】



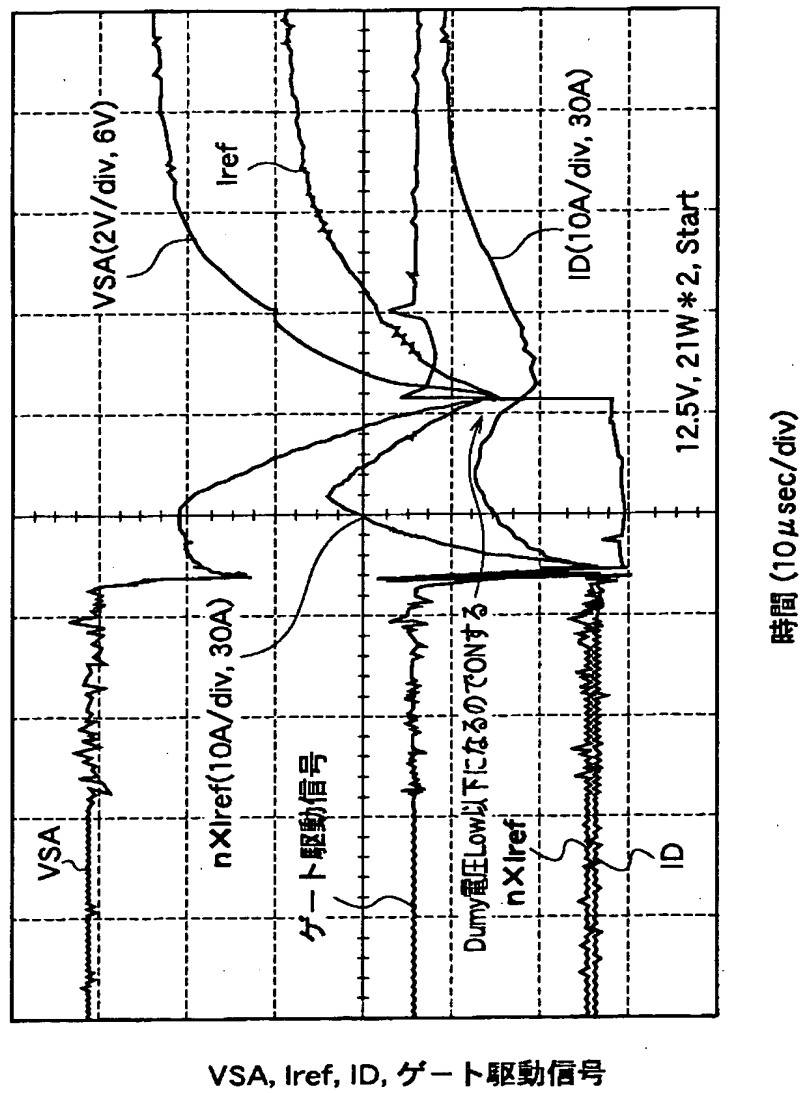
VSA, Iref, ID, ゲート駆動信号

【図 21】

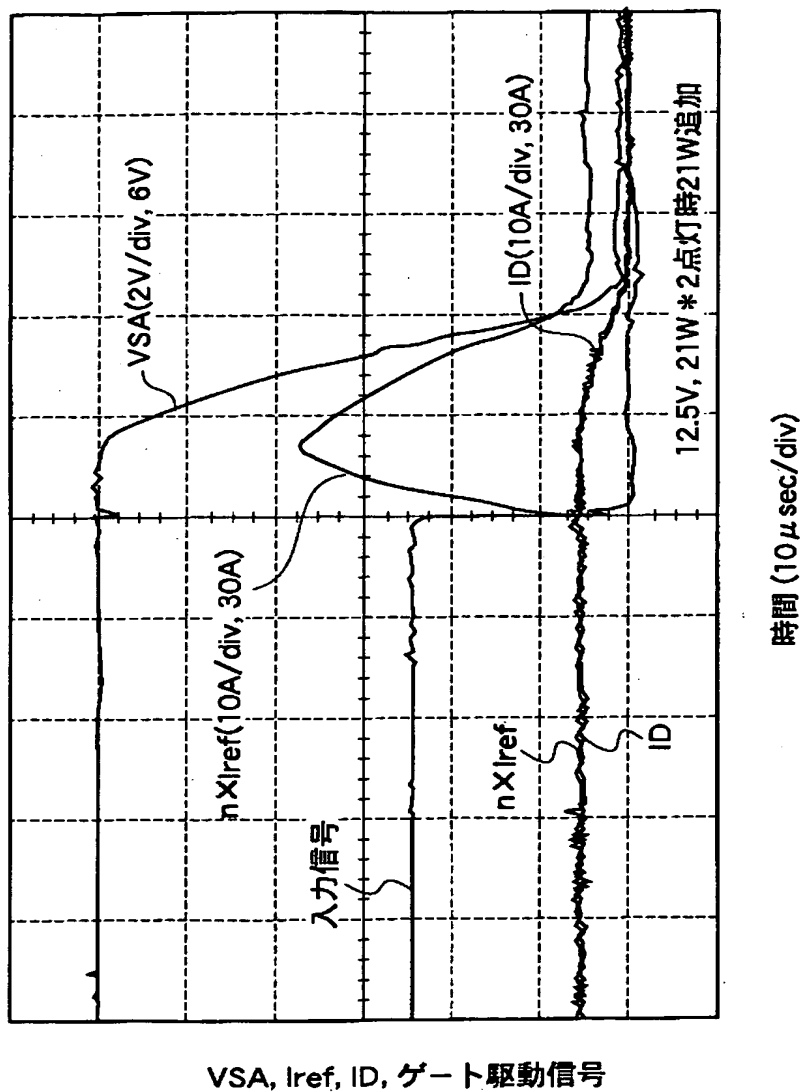


VSA, lref, ID, 入力信号

【図 22】



【図 23】



【書類名】 要約書

【要約】

【課題】 突入電流が発生していても過電流の検出をし、不完全短絡が発生した場合の異常電流に対して高速応答する半導体スイッチング装置を提供する。

【解決手段】 マルチソース F E T のメイン電界効果トランジスタ (F E T) とリファレンス F E T のソース電位の大小関係を比較する。メイン F E T のソース電位がリファレンス F E T のソース電位を上回っているときマルチソース F E T のゲートに駆動電圧を印可し反対のときマルチソース F E T のゲートに駆動電圧を遮断する。さらに、負荷側の電流が過渡的成分を含めて正常範囲にあるときは、リファレンス F E T のソース電位がメイン F E T のソース電位を上回らないようにリファレンス F E T の電流を制御する回路をリファレンス F E T のソースと接地間に設置する。このことで、メイン F E T に流れる異常電流を検知して、異常電流発生時にはメイン F E T をオン／オフ制御して電流振動を生成し、この電流振動により、メイン F E T を遮断する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006895]

1. 変更年月日	1990年 9月 6日
[変更理由]	新規登録
住 所	東京都港区三田1丁目4番28号
氏 名	矢崎総業株式会社